

ICチップ多段積層型部品内蔵基板

メディカル事業推進センター 上田 啓 貴¹・佐藤 隼 介²・宗 像 浩 次³
佐藤 正 和²・中尾 吉 男²・糸井 和 久⁴
小内 聡⁵・稲葉 正 俊⁶

Flexible Circuit Board Package Embedded with Multi-stack Dies

N. Ueta, S. Sato, K. Munakata, M. Sato, Y. Nakao, K. Itoi, S. Onai, and M. Inaba

電子モジュールの小型化は、ウェアラブルデバイスやインプラントデバイスのような医療機器に必要とされている。部品内蔵基板は、小型・高密度化を実現できる最も有望な半導体パッケージ技術の一つである。われわれは、多層フレキシブルプリント基板内にICチップを内蔵するWABE技術を開発してきた。このWABE技術では、複数のICを一括積層プロセスにより、基板に内蔵することが可能であり、厚さ方向にICチップを重ねて内蔵することで、基板面積を大幅に減少できる。本論文では、6個のICチップを内蔵した3段ICチップスタックWABEパッケージの試作および評価結果について述べる。

Miniaturization of electronics modules is always required for various medical applications such as wearable and implantable devices. Embedded die technology is one of the promising technologies to realize miniaturization and high-density packaging. We have developed WABE (Wafer And Board level device Embedded) technology for embedding dies into multilayer flexible printed circuit (FPC) boards. This WABE technology has enabled multiple dies to be embedded by the one-step lamination process and the footprint of a package can be reduced drastically by embedding multiple dies vertically in stacks. This paper describes the details of the results of fabricating a test vehicle with six embedded dies (three-dies in two stacks side-by-side).

1. ま え が き

電子機器の小型化は継続的に求められ続けており、これら電子機器の機能が適用される範囲はさまざまな産業分野に拡大されている。小型・高機能化はウェアラブルデバイスやインプラントデバイスのような医療分野のアプリケーションでも求められている。この小型・高機能化要求を実現するために、パッケージオンパッケージ、ベアダイスタック構造、FPC折り曲げ型パッケージや貫通配線技術など、多種多様な高密度パッケージ技術が提案され、実用化されてきた。これらのようなパッケージの中で、部品内蔵パッケージは、従来パッケージに比べて、小型化を実現する¹⁾。これは、部品を表面に搭載するのではなく、基板内部に配置することができるためである。さらに、部品内蔵パッケージは、内蔵部品とパッケージ端末間の配線長

を短くできることから、信号遅延やノイズを低減できる²⁾。当社は、Wafer And Board level device Embedded package (WABE PackageTM、以下WABEパッケージと記す)と呼ばれる部品内蔵パッケージを開発してきた。この製品は、薄型フレキシブルプリント配線板(以下FPCと記す)技術と薄く研磨したICの実装技術を融合した技術で成り立っており、1個のICチップを内蔵したパッケージ厚さは、220 μm と非常に薄い³⁾。

従来のWABEパッケージ技術では、追加のICチップを内蔵する場合、ICチップを同じ面内に平置きする構造が採用されてきた。この平置き構造では、パッケージ面積を減少させることは困難であった。このため、さらなるパッケージ面積の減少(小型化)を実現するため、われわれは、WABEパッケージ技術をより高いレベルの技術になるように開発してきた。パッケージ面積の増加を抑制しつつ、複数のICを内蔵する技術として、ICチップを厚さ方向に内蔵するチップスタックWABETM技術を開発し、2段ICチップをスタックしたチップスタックWABEについて、すでに報告してきている⁴⁾⁵⁾⁶⁾。この技術は、図1に示すような小型医療機器向け部品として、量産適用されている。

1 電子回路部 博士(工学)

2 電子回路部

3 メディカルプロダクツ営業部

4 メディカルプロダクツ営業部 グループ長

5 電子回路部 グループ長

6 電子回路部 部長

略語・専門用語リスト 略語・専門用語	正式表記	説明
WABE Package™	Wafer And Board level device Embedded package	当社が開発した部品内蔵基板の商標 WLPをFPC多層基板に内蔵した基板を一括積層プロセスを用いて作製することが特徴
一括積層プロセス	Co-lamination process	回路形成および加工を施した各ユニット基板（片面板、両面板、中間層）を積層し、一回のキュアプレスにより多層板を製造するプロセス、WABEの製造に用いられる工法
FPC	Flexible Print Circuit	フレキシブルプリント基板のこと CCLを原材料とし導体パターンを形成したもの 片面にパターンがあるものを片面FPC、両面にあるものを両面FPCと呼ぶ
CCL	Copper Clad Laminate	銅張積層板のこと 樹脂フィルム上に銅箔が形成されている
WLP	Wafer Level Package	ウエハの状態で半導体チップをパッケージングする技術 RDL(Redistributed Layer：再配線層)加工をほどこすことでチップをそのままのサイズでパッケージングすることが可能となる
デジチェーン	Daisy chain	数珠状に直列接続した回路のこと 本論文では基板の回路抵抗の測定のため

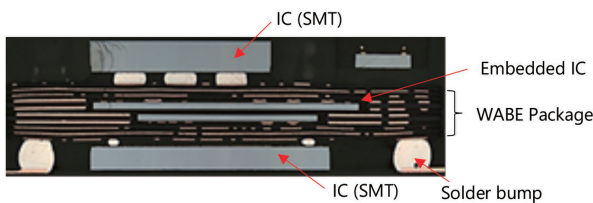


図1 小型電子機器に使用されているWABEパッケージ例
Fig. 1. Chip-stack WABE used in microminiature electronic module.

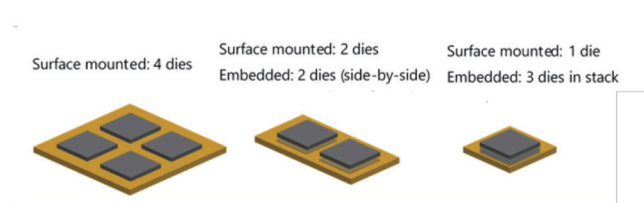


図2 複数のICチップを厚さ方向に内蔵したWABEパッケージのパッケージ面積低減
Fig. 2. Reduction in footprint of multi-stack die WABE package.

さらに、われわれは、複数のICチップを厚さ方向に内蔵したチップスタックWABEパッケージを開発した。この複数のICを厚さ方向に内蔵したWABEパッケージは、図2に示すように、計算上、基板表面に部品を搭載した一般的なパッケージに比べて、面積を75%低減することが可能となる。

本報告では、複数のICチップを内蔵したチップスタックWABEパッケージの構造および製造プロセスについて紹介し、試作品での信頼性結果についても紹介する。作製した試作品は、厚さ方向にICチップが3段積み上げられ、さらに同スタック構造が面に2ユニット配置されている。本試作構造は、合計で6個のICチップが内蔵されたチップスタックWABEである。層数で14層の基板構造であり、トータルの厚さは、0.9 mmである。また、信頼性試験は、吸湿リフロー試験、高温試験、温度サイクル試験を実施した。

2. WABEパッケージ構造

図3にICチップを1個内蔵したWABEパッケージの製造フローを示す。基本的に、WABEパッケージは、85 μmまで薄型化したICチップ、複数の薄型FPC基材、接着材フィルムと導電性ペーストで構成されている。ICチップは、FPC基材で上下を挟まれており、FPC基材は片面にCu配線層を有する片面FPCと両面にCu配線層を有する両面FPCの2種である。製造プロセスにおいて、これらの構成材が積層され、一括で真空プレスされる。各レイヤー間やICとの電気的な接続には、導電性ペーストを充填したビアが用いられる。

複数のICチップが厚さ方向に内蔵されるチップスタックWABEでは、中間層と呼ばれるレイヤーを追加することで、1個のICチップを内蔵するプロセスと同じ製造方法で作製することができる。この中間層は、図3に示した1個のICを内蔵したWABEパッケージ同士を厚さ方向で機械

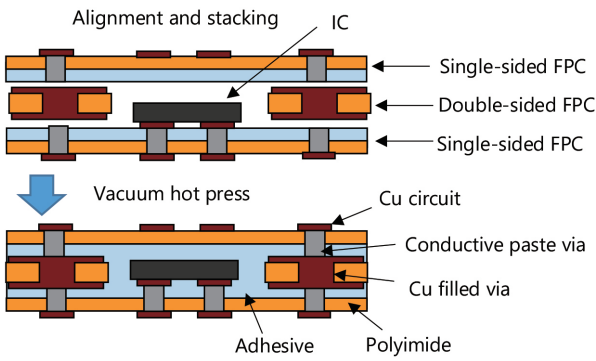


図3 ICチップを1個内蔵したWABEパッケージの製造プロセスフロー

Fig. 3. Fabrication process flow diagram of WABE package embedded with one die.

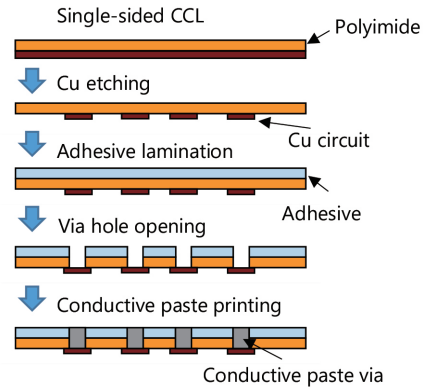


図4 片面FPC基板の製造プロセスフロー

Fig. 4. Fabrication process flow diagram of single-sided FPC.

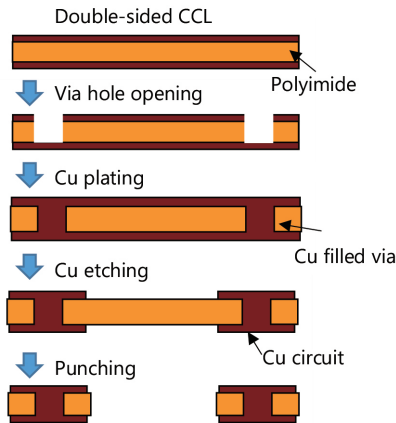


図5 両面FPC基板の製造プロセスフロー

Fig. 5. Fabrication process flow diagram of double-sided FPC.

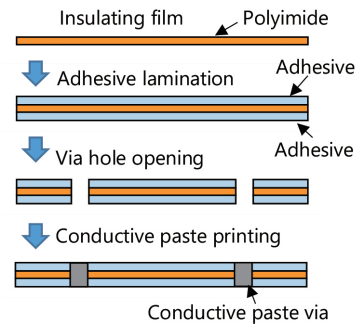


図6 中間層の製造プロセスフロー

Fig. 6. Fabrication process flow diagram of intermediate layer.

的・電氣的につなぐ役割を担う⁷⁾。次にWABEパッケージの製造プロセスの詳細について説明する。

3. WABEパッケージ製造プロセス

3.1 片面FPC基板プロセス

図4に片面FPC基板の製造プロセスフローを示す。Cu配線を形成した回路形成済みのポリイミドCCLを出発材とする。まず、Cu配線と反対面（ポリイミド面）に接着材フィルムを仮貼りし、レーザーによりビア穴を加工する。このビア穴には、導電性ペーストを充填する。この接着材と導電性ペーストは、キュアプロセスにより硬化、焼結することで各レイヤー間を電氣的・機械的に接続する。

3.2 両面FPC基板プロセス

図5に両面FPC基板の製造プロセスフローを示す。この基材は、表裏レイヤーを電氣的に接続するだけでなく、内

蔵するICチップのスペーサとしての役割を担う。まず、レーザーにより、ビア穴を加工した後、これらビア穴は、電解めっき工法によりCuめっきで充填される。次に、エッチング工法により、回路が形成される。最後に、ICチップを内蔵する位置に、レーザー加工もしくは金型によるパンチ加工によって、基材に開口部が形成される。

3.3 中間層プロセス

複数のICチップを厚さ方向に内蔵するチップスタックWABEパッケージでは、中間層は、図3で示すような片面FPC基板と両面FPC基板の組みあわせで構成されるIC内蔵構造を、厚さ方向に接続するために不可欠な部材となる。図6に中間層の製造プロセスフローを示す。接着材フィルムをポリイミド基材の表裏両面に仮貼りした後に、レーザーにより表裏貫通のビア穴が形成される。次に、導電性ペーストがビア穴に充填されることで、表裏の導通を可能する

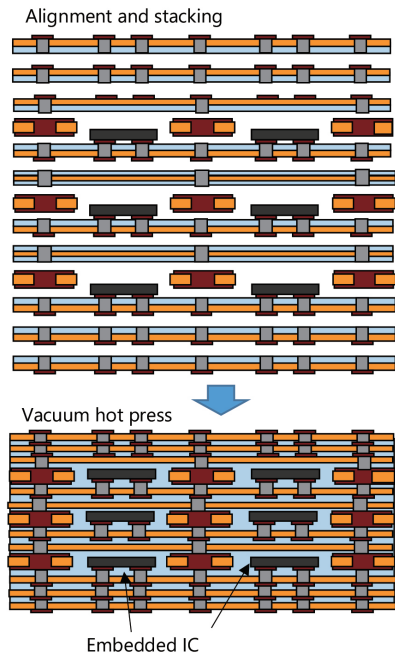


図7 多段ICスタックWABEパッケージのプロセスフロー
Fig. 7. Fabrication process flow diagram of multi-stack
WABE package.

レイヤーとして中間層が作製される。

3.4 部品内蔵基板プロセス

図7に複数のICチップを厚さ方向に内蔵するチップスタックWABEパッケージの積層およびキュア工程のプロセスフローを示す。内蔵するICチップの端子は、FPC基板との配線ピッチをあわせるように、ウエハレベルパッケージ（Wafer Level Package, 以下WLPと記す）技術により、Redistributed Layer（RDL, 以下RDLと記す）と呼ばれる再配線層が形成されている。さらに、これらのRDL(再配線)層が形成されたICチップは、バックグラウンド技術により、85 μm まで薄型化される。各FPC基板は、個別に作製され、ICチップは特定の片面FPC基板に搭載される。すべてのFPC基板が一括積層工法により、順次各レイヤー間のずれを補正しながら積層され、その後、キュア工程によりすべての基材が一体化される。この一体化工程において、接着材は熱により溶融し流動することで、部品周囲や配線間等の隙間に充填され、その後硬化することで一体化する。同時に、ビアに充填された導電性ペーストは、熱により金属成分が溶融し、FPCやICチップの配線材料（Cu）と合金化し、ビア内部でも導電性ペースト自体が合金化することで、機械的・電気的な接続を確保する。この一連のプロセスはWABEパッケージ特有の技術であ

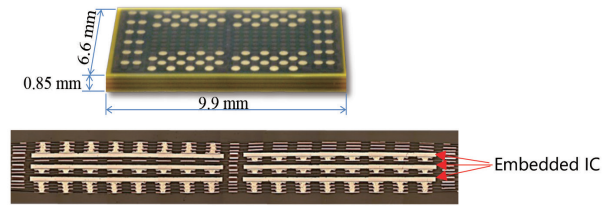


図8 試作した6 ICチップ内蔵の多段ICチップスタック
WABEパッケージ
Fig. 8. Test vehicle of multi-stack die WABE package
with six dies.

表1 試作品の仕様

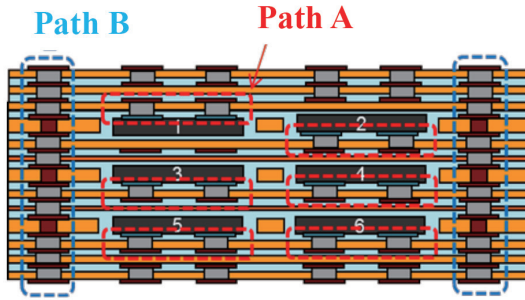
Table 1. Specifications of the test vehicle.

Item	Spec
Wiring layer number	14
Module size	9.9 × 6.6 mm, 850 μmt
Embedded chip size	3.2 × 3.2 mm, 85 μmt

り、一括積層プロセスとわれわれは呼んでいる。このプロセスは、各基材を並行で製作可能であり、あらかじめ検査を実施することで良品のみを組みあわせることができることから、一般的な多層基板プロセスであるビルドアップ工法に比べて、コスト面やリードタイム面でも有利である。このプロセスの後、表面にはんだ用のレジストやAuめっきなどの表面処理がほどこされる。

4. 試作品構造

試作した3段スタックWABEパッケージを図8に示す。試作品は、6個ICチップが内蔵されており、3段スタック構造が面内に2ユニット設けられたチップスタックWABEパッケージである。試作品は14層の配線層を有しており、厚さは0.9 mm以下である。表1に本試作構造のサイズなど仕様を示す。また、本試作品の電気測定経路の概略図を図9に示す。経路Aは、内蔵されている各ICチップを通る経路であり、経路Bは、多層基板の表裏を通る経路である。



Path A: Daisy chain and pass through each die
 Path B: Through top to bottom but not through dies

図9 試作した多段ICチップスタックWABEパッケージの測定経路

Fig. 9. Electrical paths of multi-stack die WABE package.

5. 評価方法と結果

本試作構造では、接続ビアの温度や熱衝撃に対する接合信頼性を確認することを目的に、試作基板に組み込まれたデージーチェーンの抵抗値を評価パラメータとして用いた。信頼性試験の前処理として、Joint Electron Device Engineering Council (JEDEC) スタンドラードで規定されているMoisture sensitivity level 3 (MSL 3) の吸湿およびリフローを実施した。信頼性試験として、温度サイクル試験 (-40 °C (30分保持) ~ 125 °C (30分保持), 最大500 cyc), 高温試験 (150 °C, 最大1000時間), 高温高湿試験 (130 °C, 85 %RH, 最大336時間) を実施した⁸⁾。信頼性試験の判定基準は、IPC-A-600に準拠した外観と回路のオープンショート測定 (特に回路抵抗1 Ω以上の変化をオープンと判定) とした。外観の不良例としては、層間剝離やボイド、変色などがある。本試作品の信頼性評価結果を表2に示す。結果として、外観での異常はなく、電気的な破壊 (オープ

ンやショート) もなかった。以上の結果より、厚さ方向に複数のICがチップを内蔵したチップスタックWABEパッケージが、機械的・電氣的に十分な信頼性を有することが確認できた。したがって、複数のICを内蔵可能なチップスタックWABE技術が、小型化・高機能化を達成するうえで、有望なパッケージ技術の一つであると言える。

6. むすび

本論文では、一括積層工法を用いた、厚さ方向へ複数のICチップを内蔵したチップスタックWABEパッケージについて紹介した。試作したチップスタックWABEパッケージは、3段スタック構造が面内に2ユニット設けられ、ICチップが総数で6個内蔵されている。試作品の厚さは0.9 mm以下であった。試作したWABEパッケージの信頼性評価には、温度サイクル試験, 高温試験, 高温高湿試験を実施した。各信頼性試験後であっても、試作品のボイドや層間剝離などの外観異常はなく、電気的な破壊も確認されなかった。これらの評価結果から、複数のICチップを内蔵したWABEパッケージが、十分に信頼性を有していることが明らかとなった。われわれが開発したWABEパッケージは、将来の医療機器が求める小型・高機能化を満たすことのできるパッケージ技術であると言える。

表2 信頼性試験条件と結果

Table 2. Conditions and results of reliability tests.

Test item	Condition	n Path A	n Path B	Result
Preconditioning: MSL3	260 °C reflow 3 times, after 30 °C, 60 %RH, 192 hours	192	192	Pass
High temperature storage test	150 °C, 1000 hours	64	64	Pass
Thermal cycle test	- 40 °C ↔ 125 °C, 1 hour/cycle, 500 cycles	64	64	Pass
Highly accelerated temperature and humidity stress test	130 °C, 85 %RH, 336 hours	64	64	Pass

参 考 文 献

- 1) John Dzarnoski and Susie Johansson, " Ultra Small Hearing Aid Electronics Packaging Enabled By Chip-In-Flex," Proc. of the 64th Electric Components and Technology conference, 2014.
- 2) e.g. "Embedded die packaging: Technology and Market Trends 2017" , Yole development, 2017.
- 3) M. Okamoto, S. Ito, S. Okude, T. Suzuki and O. Nakao, "Embedded IC polyimide multi-layer substrate," International Wafer-Level Packaging Conference (IWLPC), 2006, USA.
- 4) K. Munakata, N. Ueta, M. Okamoto, K. Onodera, K. Itoi, S. Okude, O. Nakao and T. G. Tessier, "Reliability of multi-layer wiring board embedded with two dies in stacked configuration," 47th International Symposium on Microelectronics, 2014, USA.
- 5) K. Munakata, N. Ueta, M. Okamoto, K. Onodera, K. Itoi, S. Okude, O. Nakao, Jon A. and Ted G. T., "Polyimide PCB embedded with two dies in stacked configuration," International Wafer-Level Packaging Conference (IWLPC), 2013, USA.
- 6) K. Munakata, K. Itoi, M. Sato, A. Itabashi, O. Nakao and T. G. Tessier, "Embedded chip-stack package," The IMAPS Nordic Annual Conference, 2015, Denmark.
- 7) Design and assembly process implementation for embedded components, IPC-7092, pp.21, February 2015.
- 8) Preconditioning of nonhermetic surface mount devices prior to reliability testing, JESD22-A113F, October 2008.