

# 第5世代移動通信システム用28 GHz帯高線形周波数変換IC

電子応用技術R&Dセンター 吉山 正之<sup>1</sup>・奥山 裕磨<sup>2</sup>・山口 陽<sup>3</sup>

## 28 GHz Band High Linearity Frequency-Conversion IC for 5G Mobile Communication Systems

M. Yoshiyama, Y. Okuyama, and Y. Yamaguchi

フェーズドアレイアンテナモジュールは、ビームフォーミング機能と周波数変換機能を分割することで、スケーラブルで構成自由度が高く面積効率の高いモジュールを実現可能である。本稿では、64を超えるアンテナ素子を備えた二重偏波5Gフェーズドアレイを可能にするアーキテクチャと高線形性を備えた周波数変換ICを紹介する。

Phased array antenna modules can benefit from splitting beamforming and frequency-converting functions between different ICs to enable scalability, configurability and Si area efficiency. This paper introduces a frequency-conversion IC that features architecture and high-linearity features that enable support of dual-polarized 5G scaled phased arrays with >64 antenna elements.

### 1. ま え が き

ミリ波帯向けのスケーラブルなフェーズドアレイは、第5世代移動通信システム（5G）において高速な通信を可能にする重要な技術である。フェーズドアレイモジュールには、ビームフォーミング回路および周波数変換回路が含まれ、アンテナアレイとADC / DAC間のインターフェースとして機能する。無線周波数（RF）と中間周波数（IF）とを変換する周波数変換回路をビームフォーミングIC（BFIC）に含め、複数のアンテナ素子間で共有する構成が提案されている<sup>1) 2) 3) 4) 5)</sup>。これらのICをタイル状に並べ、IF信号と局部発振（LO）信号を各ICに分配することで大きなアレイを形成することができる<sup>4)</sup>。このような構成では各ICへRF信号を分配しなくてすむが、各BFICに周波数変換回路の電力と面積が必要となるだけでなく、ビームフォーミング用にIF信号とLO信号を位相ずれなく分配することが必要になる。一方、単一の周波数変換IC（FCIC）を採用し、タイル全体にRF信号を分配するアプローチもある<sup>5)</sup>。しかし、受信（RX）時にはすべてのフロントエンドからの結合信号を処理する必要があるため、重要な設計仕様であるRXチェーンの線形性要件が満たせない<sup>6)</sup>。さらに、RFチャネルフィルタがない場合、帯域内干渉源が存在する広帯域フェーズドアレイでは線形性の確保が特に困難になる。

本稿では、図1 (a) に示すように、複数のBFICおよびパッ

ケージと一体化したアンテナアレイ<sup>7)</sup>と組みあわせてスケーラブルなフェーズドアレイを形成できる、高線形FCICのアーキテクチャと設計を紹介するとともに、開発したFCICの性能を紹介する。一般的なアーキテクチャとして、FCICがM個のRFポートをサポートするものとし、A.Paidimarriらが行ったシステムレベルの線形性分析<sup>8)</sup>を図1 (b), (c) に示す。FCICの線形性を改善するほど、より多くのアンテナ素子に対応できることを示している。

送信（TX）パス（図1 (b)）では、FCICの最大線形出力電力の指標である1 dB利得圧縮ポイント（OP<sub>1dB</sub>）が+10 dBmの場合、システムのOP<sub>1dB</sub>劣化量はRFポートあたりのフェーズドアレイ64素子で最大0.2 dBとなる。FCIC TX OP<sub>1dB</sub>は、ビームフォーマのフロントエンド利得を高くすれば緩和できるが、BFICのTXモードの安定性が損なわれる。受信（RX）パス（図1 (c)）では、FCICの入力信号に対する線形性の指標である3次インターセプトポイント（IIP3）が+15 dBmの場合、システムのIIP3劣化量はフェーズドアレイ64素子で最大3 dBとなる。RXミキサの線形性要件は、フロントエンド利得を低くすることで緩和できるが、システムの雑音指数（NF）が犠牲になる。BFICのRFポートあたりのフェーズドアレイ素子数が（N）のとき、FCICのRFポート数（M）を増やすことで、システムの線形性を損なうことなくフェーズドアレイ素子の総数（N×M）を増やすことができる。

1 5G無線デバイス開発部 主席研究員  
2 5G無線デバイス開発部 アソシエイト  
3 5G無線デバイス開発部 グループ長

## 略語・専門用語リスト

略語・専門用語リスト	正式表記・英文表記	説明
5G	Fifth Generation Mobile Communication System	第5世代移動通信システム
フェーズドアレイアンテナ	Phased Array Antenna	小さなアンテナ素子を平面上に複数配列し、各アンテナ素子の位相を電氣的に制御するアンテナ。指向性の高いビームを高速走査できる
ビームフォーミング	Beamforming	電波を特定方向に向けて送信、または特定方向から受信する技術。フェーズドアレイアンテナを使用して実現する
二重偏波	Dual Polarization	垂直及び水平偏波を同時に扱うこと
RF	Radio Frequency	無線通信の搬送波として利用できる周波数。概ね300 Hzから3 THzまでの範囲を指す
LO	Local Oscillator	局部発振器、またはその発振周波数。ヘテロダイン受信機の参照信号として周波数変換用に利用される
IF	Intermediate Frequency	RF信号をベースバンド信号に変換する、またはその逆の周波数変換過程で利用される中間周波数
変換利得	Conversion Gain	入力と出力の周波数が異なるミキサ等のアンプにおける利得
1 dB利得圧縮ポイント	1 dB Compression Point	アンプの線形性を示す性能パラメータの1つ。小信号利得より1 dB低下した時の入力もしくは出力ポイント。出力ポイントはOP1 dB、入力ポイントはIP1 dBと表記することが多い
3次相互変調歪み	3rd Order Inter-Modulation Distortion	非線形システムに周波数の近接する2つの基本波を入力した場合に、一方の基本波と他方の基本波の2次高調波との間で発生する高調波歪み。基本波の近傍の周波数となるためフィルタで除去できない。IM3と表記する
3次インターセプトポイント	3rd Order Intercept Point	アンプの線形性を示す性能パラメータの1つ。IM3が基本波成分と等しくなる計算上のポイント。出力ポイントはOIP3、入力ポイントはIIP3と表記する
雑音指数	Noise Figure	アンプの入力S/N比と出力S/N比の比。NFと表記する
アップコンバージョンミキサ	Up Conversion Mixer	IF信号等の低い周波数信号とLO信号とをミキシングしてRF信号等の高い周波数信号に変換する回路
ダウンコンバージョンミキサ	Down Conversion Mixer	RF信号等の高い周波数信号とLO信号とをミキシングしてIF信号等の低い周波数信号に変換する回路
ダブルバランスミキサ	Double Balanced Mixer	差動LO信号を2つのミキサコア回路に逆極性で与えることで、ミキサ出力に出現するLOリーク量を抑制するトポロジーのミキサ
ギルバートセル	Gilbert Cell	トランジスタで構成されるダブルバランスミキサの一種
バラン	Balun	差動信号をシングルエンド信号に変換、もしくはその逆の信号変換を行う回路
CMOS	Complementary MOS	P型とN型のMOSトランジスタを基本素子とする半導体回路、あるいはその製造技術
BiCMOS	Bipolar CMOS	バイポーラトランジスタ回路とCMOS回路を組み合わせた半導体回路、あるいはその製造技術
電磁界シミュレーション	Electromagnetic Simulation	伝送線路等のパッシブ素子の電気特性を3次元の電磁界を想定して解析し、半導体回路設計に高精度な電磁界モデルを組み込むアプローチ。時間領域の手法としてFDTD法、周波数領域の手法としてモーメント法やFEM法がある

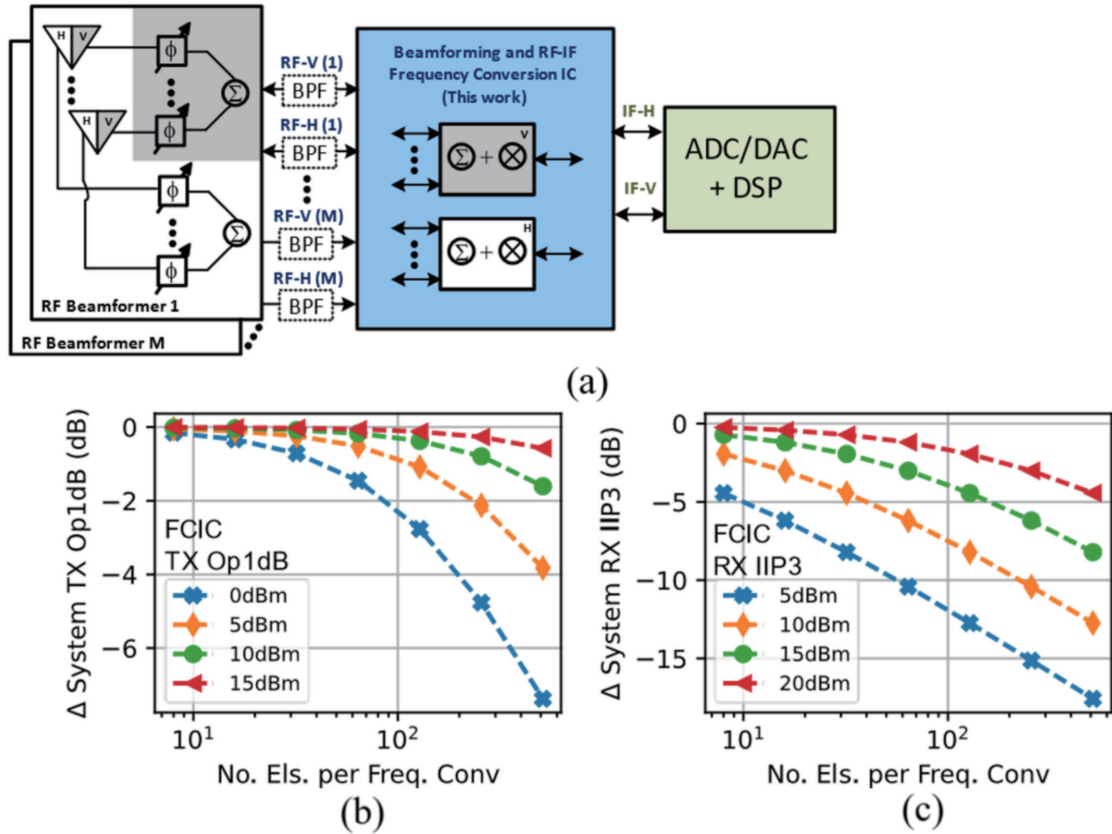


図1 (a)ビームフォーミングICと周波数変換ICで構成されたスケーラブルフェーズドアレイアーキテクチャ (b)アレイ数に対するTX Op1dB劣化量の関係 (c)アレイ数に対するRX IIP3劣化量の関係<sup>8)</sup>

Fig. 1. (a) Scalable phased array architecture with beamforming ICs and FCICs. (b) Degradation in phased array TX oP1dB/output vs. # array elements supported / RF port for four values of FCIC oP1dB/RF port (c) Degradation in phased array RX IIP3 vs. # array elements for four values of FCIC IIP3/RF port<sup>8)</sup>.

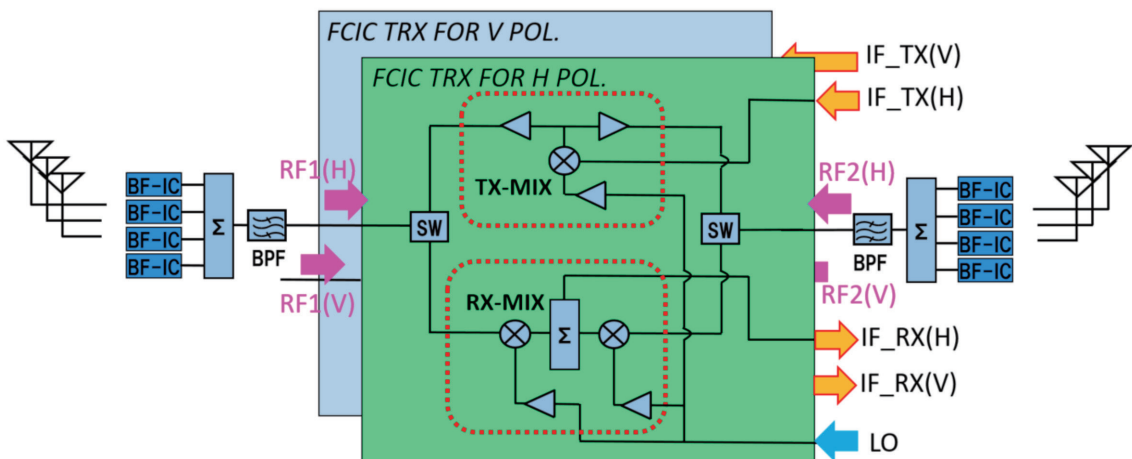


図2 TXおよびRXモード両対応の二重偏波周波数変換ICアーキテクチャ

Fig. 2. IC architecture supporting RX down-conversion and power combining, and TX up-conversion and power splitting for two antenna polarization paths.

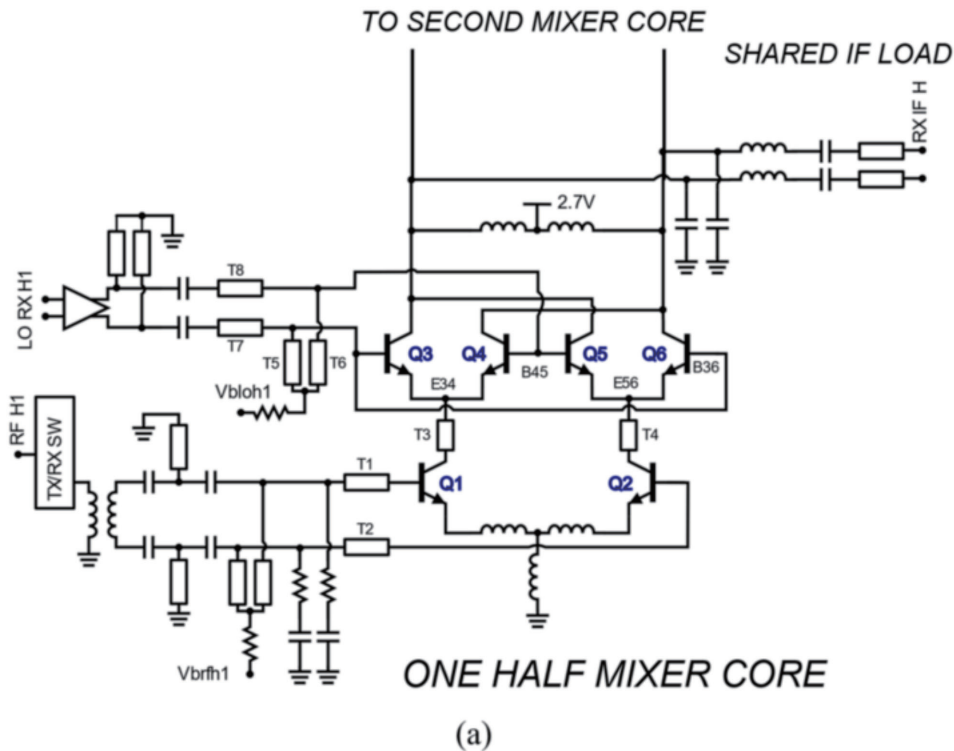


図3 ダウンコンバージョンミキサ

Fig. 3. Down-conversion mixer.

## 2. 周波数変換ICアーキテクチャ

図2にFCICのアーキテクチャを示す。このICは偏波ごとに2つのRFポート ( $M = 2$ ) を備えた二重偏波動作をサポートし、24～30 GHzのRF範囲と2～5 GHzのIF範囲にわたって高い線形性を実現する。各TXチェーンには、1つのアップコンバージョンミキサ、パワースプリッタ、2つの電力増幅器 (PA)、およびTX / RXスイッチが含まれる。64を超えるフェーズドアレイ素子が各RFポートでサポートされるように、高い $OP_{1dB}$  ( $\sim 10$  dBm) と高い利得 ( $>25$  dB) を実現することに設計上の重点を置いている。

各RXチェーンには、2つのTX/RXスイッチ、2つのダウンコンバージョンミキサ、および電力結合のための共有IF負荷が含まれる。高いIIP3 ( $>14$  dBm)、中程度のNF ( $\sim 14$  dB)、および低い利得 ( $\sim 0$  dB) を実現することに設計上の重点を置いており、各ポートで64を超えるフェーズドアレイ素子をサポートできる。

多数のBFIC間で単一のFCICを共有することにより、外部バンドパスフィルタ<sup>9) 10)</sup> を共用することもできる (図1 (a))。このアプローチは外部フィルタを使用した不要信号抑制を可能にするので、アップコンバージョンミキサとダウンコンバージョンミキサの両方の設計を簡素化する。

## 3. アップコンバージョンミキサの設計

TXパスでは、ダブルバランスミキサであるギルバートセルミキサを使用して2～5 GHzのIF信号をRF信号にアップコンバートする。このアプローチは広帯域なLOとIF直交生成または多段アップコンバージョンに関連する課題を回避できる<sup>3)</sup>。IF入力部は抵抗整合を用い、ギルバートセル出力部には低Q値のコンデンサを使用することで、広帯域化を実現している。ミキサ単体の変換利得は約6 dBである。ミキサの出力信号は伝送線路ベースのスプリッタにより2つのPAに分配される。各PAは、21～30 GHzで約23 dBの利得をもつ。FCICの2つのRFポートから、それぞれのPAで増幅された信号が出力される。

## 4. ダウンコンバージョンミキサの設計

RXパスの簡略化した回路図を図3に示す。RXパスは2つの別々のビームフォーミングパスに対応する2つの入力をサポートする。パッシブ balanによりTX/RXスイッチのシングルエンド出力信号を差動信号に変換する。balanには結合係数が0.8の1:1トランスを使用しており、24～30 GHzにおいて挿入損失が1.5 dB未満、差動信号間の位相のアンバランスが $2^\circ$  未満、挿入損失の差が0.1 dB未満である。各ミキサの入力差動ペアは差動インダクタによって縮退さ



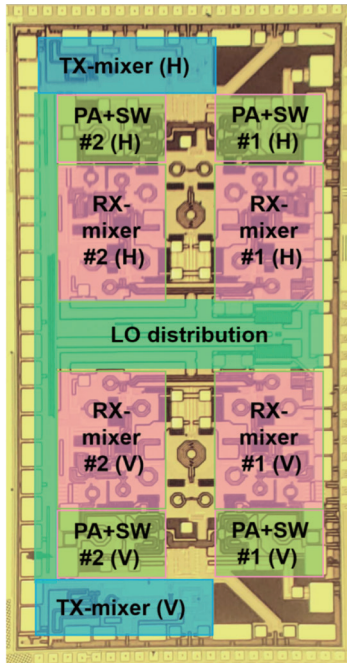


図4 周波数変換ICの写真

Fig. 4. IC photo of the frequency conversion IC fabricated in 130 nm SiGe BiCMOS.

れ、さらにコモンモードインダクタをかいしてグラウンドに接続される。これら2つのインダクタは入力インピーダンス整合とコモンモード除去を改善させる。ミキサの入力リターンロスは、23 ~ 31 GHzで-10 dB未満である。IF出力では、2つのミキサが1つの差動インダクタ負荷を共有することで、電源供給と電流合成の両方を可能にする。共有インダクタ負荷の後に3 dB帯域幅が2 ~ 5 GHzのLCネットワークが続く。

ダウンコンバージョンミキサ設計の重要な課題は、1章で説明したように、RFポートあたり64を超えるアンテナ素子のサポートを可能にする高い線形性を実現することである。アーキテクチャ上、この目標は、ミキサ入力でのRF結合ではなく、ミキサ出力でのIF結合とすることによって達成される。残りの課題は各ミキサで10 dBm以上のIIP3を達成することである。同等の線形性が最近、3次相互変調歪抑圧技術を使用してミリ波で実証されたが、それらは単一の周波数と特定範囲の入力電力レベルで検証されただけである<sup>6) 11)</sup>。本設計では、サイズの大きなRF入力BJTトランジスタ (80 μm) と、サイズの大きなLOスイッチングBJTトランジスタ (64 μm) を採用することで、広い帯域幅にわたって高い線形性を実現した。この設計アプローチは線形性の観点からは有効であるが、新たな課題をもたらす。具体的には、複数の大型デバイスを使用するとデバイス間相互接続の寸法が大きくなって寄生インダクタが無視できなくなり、高い周波数まで利得を有するデバイスの動作が不安定になる可能性があることである。この課

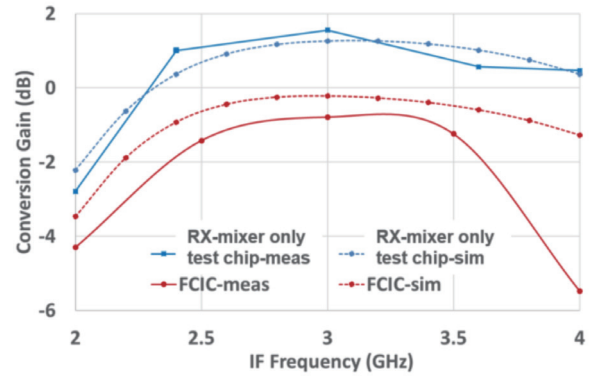


図5 RXモード変換利得のIF周波数依存性 (LO=25 GHz, 0 dBm)

Fig. 5. Small signal frequency response at IF for FCIC and RX mixer-only test chip (LO=25 GHz at 0 dBm).

題を克服するために、LOおよびRF入力インピーダンス整合ネットワークを設計する際に、デバイス間の相互接続を精密にモデル化した。また、ミキサのインピーダンス整合ネットワークをC-R-C構成にすることで50 GHzを超える周波数での安定性を向上させた。200 GHzまでの電磁界 (EM) シミュレーションには、各BJTサブセルの端子間の相互接続をモデル化する94個のポートを備えたEMモデルを使用した。

## 5. オンウエーハ測定結果

FCICは130 nm SiGe BiCMOS技術で製造した。図4は、共通のLO入力で2つの偏波に対応可能な2.3×4.6 mm<sup>2</sup>のICの写真である。IC上下各半分は、電力結合 (RX) と分割 (TX) を備えた2つのRFポートがあり、ミキサ回路は2.7 Vから給電され、TX PAは1.5 Vから給電される。

### 5.1 TXモード

TXモードの消費電流は1偏波あたり47 mA (2.7 V) および85 mA (1.5 V) である。ICへのLO入力電力は、LO周波数全体で-2±1 dBmである。IFが3 GHzの場合、変換利得は24 ~ 30 GHzのRF周波数範囲で27 dB以上、OP<sub>1dB</sub>は7 dBm以上で、ピークは24 GHzで10.2 dBmである。

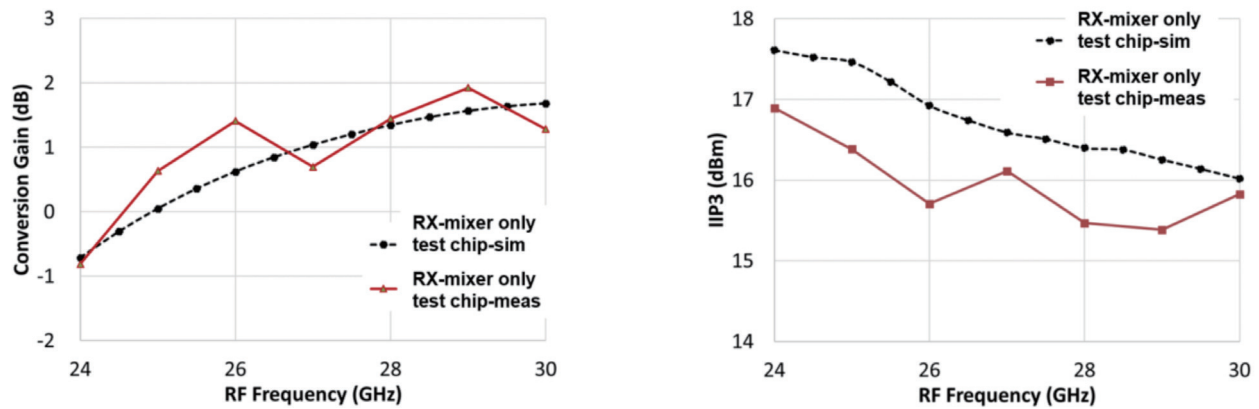


図6 RXモード 3次インターセプトポイントのRF周波数依存性(IF=3 GHz,  $\Delta f=50$  MHz)

Fig. 6. RX mixer-only test chip measurement showing IIP3 and conversion gain for 3 GHz IF and  $\Delta f=50$  MHz.

表1 周波数変換ICの仕様概要

Table 1. A Summary of Frequency-Conversion IC.

偏波数	2
RFポート数/偏波	2
アンテナ素子数/RFポート数	> 64
周波数範囲 (GHz)	24-30 (RF), 2-5 (IF)
製造プロセス	130 nm SiGe BiCMOS
チップ面積 (mm <sup>2</sup> )	10.6
チップ面積/アンテナ数 (mm <sup>2</sup> )	0.41

## 5.2 RXモード

RXモードの消費電流は78 mA (2.7 V) である。図5はRFが27 ~ 29 GHz, LOが25 GHz, 0 dBm, IFが2 ~ 4 GHzにおける, 変換利得の測定値を示す。線形性の測定は, 別に用意したミキサコアのみを測定可能なICにおいて, 1つのギルバートセルのみがアクティブな状態で実施した。図6はRFが24 ~ 30 GHz, LOが21 ~ 27 GHz, 5 dBm, IFが3 GHz固定時の測定結果を示す。小信号変換利得は-1 ~ 2 dBである。IIP3 ( $\Delta f=50$  MHz) はすべての周波数で+14.5 dBm以上である。ミキサコアのみのICの変換利得はFCICよりも約1.5 dB高くなっており, シミュレーションともよく一致している。

表2 周波数変換ICの測定結果

Table 2. A Summary of Measured Performance.

特性	送信モード	受信モード
変換利得 (dB)	> 27	-1
雑音指数 (dB)	< 12.5	< 15
1 dB利得圧縮出力ポイント (dBm)	7 to 14	6
3次インターセプトポイント (dBm)		> 14.5
消費電力/RFポート数 (mW)	215	210
消費電力/アンテナ数 (mW)	3.4	3.3

## 6. む す び

本稿ではスケーラブルなフェーズドアレイを可能にするFCICを紹介した。周波数変換機能を単独のICとして独立させることで, フェーズドアレイシステムで分配および位相同期する必要のあるLOおよびIF入力の数が減り, タイリングによってより大きなアレイへのスケーリングが可能になる。さらに, FCICは多数のフェーズドアレイ素子に対して1つだけなので消費電力と面積効率が良くなる。RXチェーンIIP3は測定値で14.5 dBm以上, TXチェーンOP<sub>1dB</sub>は7 ~ 14 dBmを達成していることを確認しており, FCICはRFポートあたり64以上のフェーズドアレイ素子をサポートできる。周波数変換器自体の中でのRX電力結合とTX電力分割により, このICでサポートされるフェーズドアレイサイズのさらなるスケーリングが可能になる。回路は広帯域動作用に設計されており, 24 ~ 30 GHzのRFをサポートする。表1および表2に示すように, 最大64アレイ素子での消費電力は215 mW (TXまたはRX), RFポートあたりのチップ面積は2.65 mm<sup>2</sup>, 1アレイ素子あたりでは消費電力は3.4 mW, 面積は0.041 mm<sup>2</sup>である。

## 参 考 文 献

- 1) H.-C. Park et al.: "A 39 GHz Band CMOS 16-Channel Phased-Array Transceiver IC with a Companion Dual-Stream IF transceiver IC for 5G NR Base-Station Applications", 2020 IEEE International Solid- State Circuits Conference, pp. 76-78, Feb. 2020.
- 2) J. D. Dunworth et al.: "A 28GHz Bulk-CMOS Dual-Polarization Phased-Array Transceiver with 24 Channels for 5G User and Basestation Equipment", 2018 IEEE International Solid- State Circuits Conference, pp. 70-71, Feb. 2018.
- 3) B. Sadhu et al.: "A 28-GHz 32-Element TRX Phased-Array IC with Concurrent Dual-Polarized Operation and Orthogonal Phase and Gain Control for 5G Communications", IEEE Journal of Solid-State Circuits, Vol. 52, No.12, pp. 3373-3391, Dec. 2017.
- 4) S. Shahramian, et al.: "A Fully Integrated 384-Element, 16-Tile, W-Band Phased Array with Self-Alignment and Self-Test", IEEE Journal of Solid-State Circuits, vol. 54, no. 9, pp. 2419-2434, Sept. 2019.
- 5) T. Sowlati et al.: "A 60-GHz 144-Element Phased-Array Transceiver for Backhaul Application" , IEEE Journal of Solid-State Circuits, Vol. 53, No. 12, pp. 3640-3659 Dec. 2018.
- 6) C. Chen, et al.: "38-GHz CMOS Linearized Receiver with IM3 Suppression,  $P_{1\text{ dB}}$ /IP3/RR3 Enhancements, and Mitigation of QAM Constellation Diagram Distortion in 5G MMW Systems" , IEEE Transactions on Microwave Theory and Techniques, Vol. 68, No. 7, pp. 2779-2795, July 2020.
- 7) X. Gu et al.: "Antenna-in-Package Integration for a Wide-Band Scalable 5G Millimeter-Wave Phased-Array Module," IEEE Microwave and Wireless Components Letters, Vol. 31, Issue 6, pp. 682-684, June 2021.
- 8) A. Paidimarri, et al.: "A High-Linearity, 24–30 GHz RF, Beamforming and Frequency-Conversion IC for Scalable 5G Phased Arrays" , 2021 IEEE Radio Frequency Integrated Circuits Symposium (RFIC) , pp.103-106, June 2021.
- 9) Y. Uemichi et al.: "Highly Configurable Cylindrical-Resonator-Based Bandpass Filter Built of Silica-Based Post-Wall Waveguide and Its Application to Compact E-Band Hybrid-Coupled Diplexer," IEEE MTT-S International Microwave Symposium (IMS) , pp. 726-729, June 2019.
- 10) Y. Hasegawa, et al.: "Compact and Low-loss Stripline Band-pass Filter Made of Liquid Crystal Polymer for n257 and n258 Application," 51<sup>st</sup> European Microwave Conference, to be published.
- 11) C.-L. Wu, et al.: "Amplification of Nonlinearity in Multiple Gate Transistor Millimeter Wave Mixer for Improvement of Linearity and Noise Figure" , IEEE Microwave and Wireless Components Letters, Vol. 25, No. 5, pp. 310-312 May 2015.