

素粒子実験向け微細配線FPC

プリント回路事業部開発部 荒井大輔¹・西ヶ谷 霞²・岩村昌浩³

Fine-Flexible Printed Circuit Board for Particle Physics Experiment

D. Arai, K. Nishigaya, M. Iwamura

近年のフレキシブルプリント配線板(FPC)の技術の進歩は、スマートフォンやウェアラブルデバイスをはじめとする各種電子機器の高機能化、小型化に大いに貢献してきている。これまでこれらの機器において培われた技術力を基礎に、現在の量産レベルよりも高いレベルを求められる学術用途のFPCの開発にも取り組んでいる。本稿では、その一例として素粒子実験 J-PARC ミューオン $g-2$ /EDM 実験用測定器に使用される微細配線FPCの開発を紹介する。

The recent progress of the flexible printed circuit board (FPC) technologies has made a significant contribution to achieving the high performance and minimization of the various kinds of electric devices as typified by smartphones and wearable devices. Based on the technologies cultivated in these products, we have engaged in the FPC board development for academic applications, which require much higher technical levels than our current mass production level. In this paper, we present the results of the development of FPC with very fine and high-density circuits for the particle detector of the J-PARC muon $g-2$ /EDM experiments.

1. ま え が き

近年、スマートフォンをはじめ、電子機器の小型化や高機能化が進み、配線板に多くの機能を集約する必要性から、配線板の高密度化が求められている。薄膜で軽量、かつ折り曲げ可能であることを特徴としたフレキシブルプリント配線板 (FPC : Flexible printed circuit) は、これらの電子機器の中で重要な役割を担っており、電子機器の機能の向上に伴って、FPCも様々な技術的要求に応じてきている^{1), 2)}。

当社ではこれまでに得られた各種の製造技術を応用し、学術研究において必要とされる高難度FPCの開発に取り組んでいる。この開発の一例として、次世代素粒子実験のひとつである、J-PARC ミューオン $g-2$ /EDM 実験の測定器内で使用される微細配線FPCがある。

J-PARC ミューオン $g-2$ /EDM 実験とは、ミューオンにおける異常磁気モーメント ($g-2$) および電気双極子モーメント (EDM) を精密に測定することで、標準理論を超えた新しい物理の探索を目的とする素粒子実験である^{3), 4)}。

この実験では、崩壊したミューオンから放出される陽電子の飛跡からスピン回転運動の周期を測定することで、 $g-2$ /EDMを測定する。その検出器部には、シリコンストリップセンサーと読み出し回路を用いたシリコンストリップ検出器 (図1) が使用される。

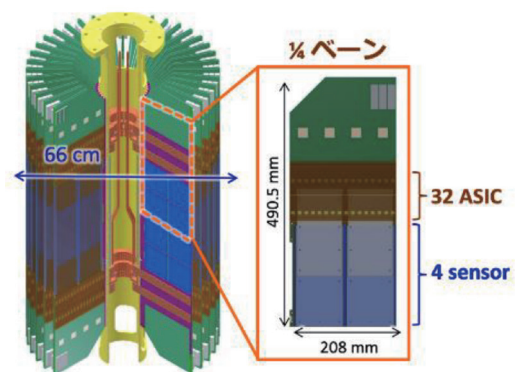


図1 陽電子飛跡検出器

Fig. 1. Decay e^+ tracking detector.

シリコンストリップ検出器は、シリコンストリップセンサー^{5), 6)}からの信号をASIC⁷⁾にて信号処理し、陽電子の飛跡を測定する。シリコンストリップセンサーとASIC間の信号を伝送する役割を担う配線材が本報告にて紹介する、センサー FPC とピッチアダプタである (図2)。これらの

1 開発部 車載製品開発グループ

2 開発部 新商品開発グループ

3 開発部 新商品開発グループ グループ長

配線材は、測定領域内のストリップセンサーの表に設置される設計であるため、測定精度の観点から構成物質には低物質量が求められている。つまり、電子密度が小さい材料で構成することや、材料厚の削減が求められる。

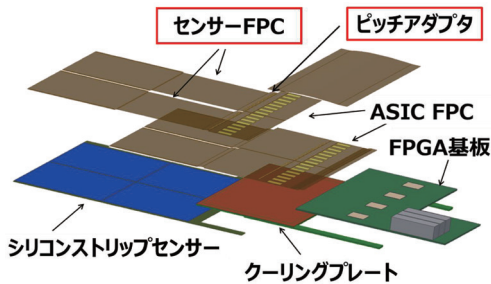


図2 FPCの使用箇所

Fig. 2. FPC board in the detector.

上記理由から、炭素骨格ベースのポリイミドフィルムを基材とし、薄膜化できることが特徴であるFPCが配線材として選択されている。センサーから信号を受け取るセンサーFPCとセンサーFPCとASIC基板の配線を中継するFPCであるピッチアダプタの2製品は、極めて高難度の製品となったが、幾度の検討、試作を繰り返すことで、開発に成功した。本報では上記2製品の開発結果について報告する。

2. センサーFPC

2.1 製品概要

センサーFPCは、シリコンストリップセンサーの表に設置されるFPCであり、センサーからの信号をASIC近傍まで伝送するためのFPCである。FPCとシリコンストリップセンサーの接続は、シリコンストリップセンサーの両端に配置されたPADと、FPCに配置されたPADをワイヤーボンディングで接続する^{8), 9)} (図3)。

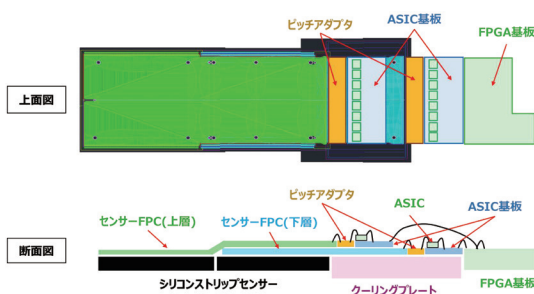


図3 FPC-シリコンセンサー接続方法

Fig. 3. FPC - silicon sensor connection method.

シリコンストリップセンサーは、2枚で1セットであるため、2枚のシリコンセンサーの信号(2048 ch)を1つ

のセンサーFPC内で配線できることが求められる。また、ワイヤーボンディングに対応するために配線、PAD群はFPCの片面に集約する必要がある。微細な回路配線が必要となる。

シリコンストリップセンサーの外形は約100 mm × 100 mmであるため、2枚のシリコンストリップセンサーの表に設置するFPCの製品寸法は94 mm × 270 mmとなり、一般的なFPC製品サイズ(100 mm)以下に対し、大面積に対する回路形成が必要となる。FPCの製造においては、製品寸法が大きく、配線が微細になるほど、回路形成の際に不良が発生しやすくなる。

前述したように、FPCはシリコンセンサーの表に設置されるため、物質量を低くする観点から銅箔厚を薄くすることが要求されている。具体的には銅箔厚については5 μmを要求されており、通常のFPC製品における銅箔厚12 μmに対して薄くする必要がある。各材料厚が薄くなると製品内に折れやシワが発生しやすく、製造時のハンドリングによる不良が増加する傾向がある。上記2点から、大面積・薄銅箔かつ微細配線を必要とするセンサーFPCの難度は非常に高い。

2.2 技術的課題

2.2.1 最小回路幅

シリコンストリップセンサーからワイヤーボンディングで接続し、かつ低物質量を実現するため、接続するPAD、および、配線は片面にすべて配置する必要がある。従って2048本の回路をFPCの片面側のみで配線するためには、最小回路ピッチ42.5 μm(最小Line/Space=20/22.5 μm)の配線設計が必要となる。

しかしながら、製品寸法(94 mm × 270 mm)の大きさを考慮すると、1本の断線混線なく、上記配線密度で回路を形成することは困難である。そこで、配線密度を緩和するために、配線を2枚のFPCに分割し、最終的に貼り合わせて1つのFPCを製造する工程設計とした(図4)。つまり、1つのFPCに必要な配線数を半分の1,024本として、最小回路ピッチ69 μm(最小Line/Space=25/44 μm)となるような設計とした。

しかしながら、上記設計でも最小回路ピッチ69 μmに対する微細な回路形成が要求されることに加え、FPC寸法が非常に大きいことから、サブトラクティブ工法による回路形成の難度は依然として高い。特に、通常は問題とならない微細な回路形状の異常であっても、上記の微細な回路ピッチでの回路配線においては、短絡等につながる致命的な不良を引き起こすため、製造においては、通常の量産製品以上の工程条件の改善、管理が必要となる。

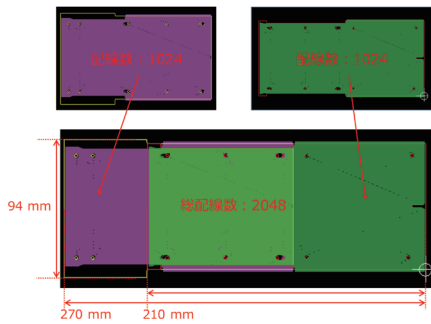


図4 センサー FPCの構造

Fig. 4. The structure of Sensor FPC.

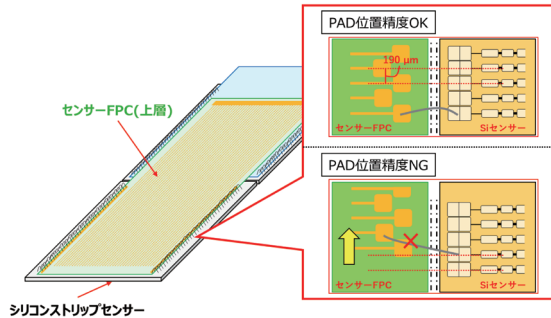


図5 PAD位置精度

Fig. 5. Requirements for the alignment accuracy.

2. 2. 2 PAD位置精度

センサー FPCは、2 枚のFPCを貼り合わせて1 枚のFPCとすることから、1 枚のFPCの寸法精度に加え、FPC同士の貼り合わせ精度が最終的なFPCの製品の寸法精度、つまり、最も重要となるPAD位置精度に対して影響を与える。

具体的には、シリコンストリップセンサーとFPCのPAD部は、ワイヤーボンディングで接続するため、接続信頼性の観点から、図5に示すように、FPCのPAD部からのワイヤーが、隣接する他のPAD上をまたがないようにする必要があります。つまり、FPCの寸法精度は、PAD位置精度を確保するため、1 枚のFPCの寸法精度、FPC同士の貼り合わせ精度を含めて、1 ピッチ以内 ($\pm 100 \mu\text{m}$) で制御することが要求されている。

センサー FPCは、検出器の測定精度の観点から低物質量化が求められているため、銅箔厚をはじめ、材料厚が薄く設計されている。そのため、製造工程における熱履歴や、製造装置内での搬送時の張力の影響を受けやすく、製造工程内での寸法変化が大きくなりやすい。加えて、FPCサイズも大きいことから、回路形成における寸法制御の難度が高く、厳しい工程管理や条件設定が求められる。

さらに、FPC同士の貼り合わせでは、基材同士を密着させるための圧力と、接着剤の硬化に必要な高温条件が製品の寸法精度を悪化させる。貼り合わせ工程で発生する寸法変化は前述した回路形成で発生する寸法変動量よりも大きくなる傾向があるため、貼り合わせ工程の製造条件は最終

表1 センサー FPCの要求項目

Table 1 .Requirements for the Sensor FPC.

要求項目	要求性能
配線数	2048 本
配線長	最大 200 mm
回路厚	Cu : 5 μm
PAD寸法	ASIC側 : 60 μm \times 200 μm
	Sensor側 : 140 μm \times 400 μm
製品寸法	270 mm \times 94 mm

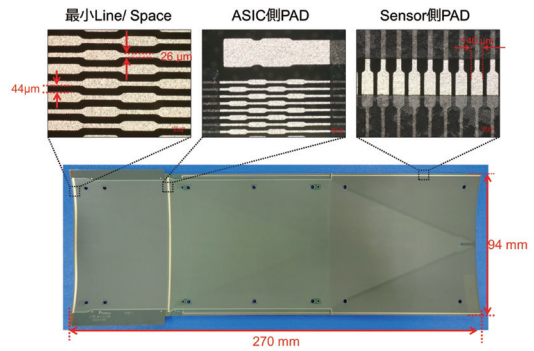


図6 センサー FPC外観

Fig. 6. The appearance of Sensor FPC.

的なFPC寸法に対し、特に重要である。

2. 3. 製造結果

大面積における微細かつ、高密度な回路形成が必要とされたが、各工程において、条件の最適化を複数回にわたり実施することで、最終的に1箇所も断線、混線等の不良が無いセンサー FPCを製作することに成功した (図6)。特に、PAD周辺の細線部においては要求の設計値Line/Space= 25 / 44 μm に対し、Line/Space= 26 . 1 / 43 . 8 μm で仕上がった (表2)。

次に、FPC寸法については、1 枚のFPCの各製造工程における寸法の合わせ込みだけでなく、特に重要な工程である、FPC同士の貼り合わせ工程において、治具の最適化、貼り合わせ工程条件の最適化を複数回実施することにより、最終的なセンサー FPCの位置精度を確保している (図7)。上記の結果として、要求性能を満たすセンサー FPCを納入することができている (表2)。

表2 製作したセンサー FPCと要求仕様

Table 2. Spec of Sensor FPC.

要求項目	要求数値	製品実測	
細線仕上がり	Line	25 μm	26.1 \pm 2.5 μm
	Space	44 μm	43.8 \pm 2.8 μm
PAD幅	60 μm	60.1 \pm 2.4 μm	
Cu厚	5 μm	4.7 \pm 0.5 μm	
Ni厚	3 μm	3.6 \pm 0.8 μm	

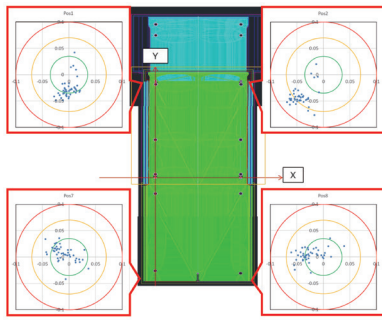


図7 Sensor側PAD測長結果
(緑：35 μ m, 黄：70 μ m, 赤：100 μ m)

Fig. 7. Results of the position of PADs at the four corners.

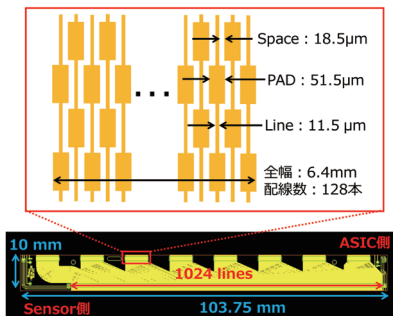


図9 ピッチアダプタ配線図

Fig. 9. Product design of Pitch adaptor.

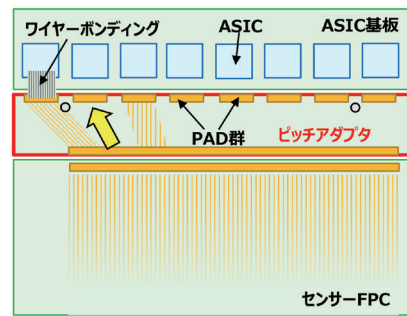


図8 ピッチアダプタ概略図

Fig. 8. Schematic of pitch adaptor.

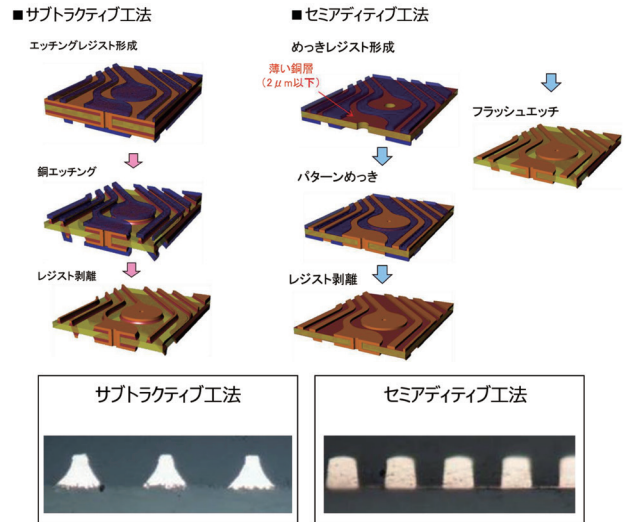


図10 FPC製造工程別概略図と回路断面形状

Fig. 10. Schematic of FPC production.

3. ピッチアダプタ

3. 1 製品概要

ピッチアダプタはセンサーFPCからの配線をASIC基板へ接続するための中継基板である。

分割したセンサーFPCに対し1つのピッチアダプタが設置され、1024本の配線を128本ずつの8個のPAD群へ分配している(図8)。このとき、ピッチアダプタについても、センサーFPCと同様に、FPCの片面のみでの配線が求められ、1つのPAD群は6.4mm幅であることから、128本の配線を行うには、最小回路ピッチ50 μ m(最小Line/Space=25/25 μ m以下)での配線が必要となる。

3. 2 技術的課題

3. 2. 1 最小回路幅

ASIC側PAD群の設計においては、図8に示すように、6.4mm幅に対して128本の配線が必要となる。ワイヤーボンディングにおける接続信頼性の観点から、PAD幅は50 μ m以上を確保する必要があるため、最小回路ピッチを30 μ m(最小Line/Space=11.5/18.5 μ m)とし、PAD幅を51.5 μ mと設計している(図9)。

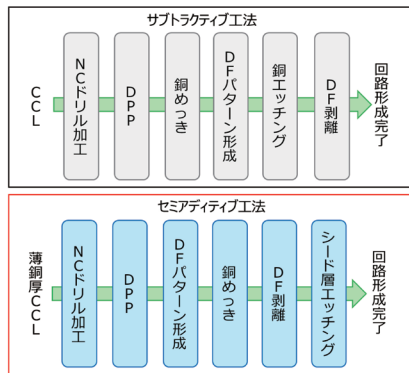
ここで、これまでのFPCの開発実績を鑑みると、センサー

FPCで適用したサブトラクティブ工法による回路形成では、1024本の配線において、最小回路ピッチ30 μ mを含む設計の微細配線を、1本の断線・混線もなく回路を形成することは困難であると考えられる。そのため、ピッチアダプタにおいては、より微細な回路の形成が可能となる、セミアディティブ工法での回路形成を実施する必要がある。

一般に、セミアディティブ工法では、製造における工程条件の管理、および、製造コストがサブトラクティブ工法に比べ高くなるが、ドライフィルムレジスト間をめっきすることで回路形成を行うため、サブトラクティブ工法による回路とは異なり、回路端部の裾引きが無く、狭ギャップの回路の形成に有利である(図10)。

しかし、工程が複雑になるセミアディティブ工法は不良が発生しやすいため、不良頻度による歩留まり悪化の影響を受けやすい大面積製品への適用は避けられることが多い。一般的なFPCは高密度配線領域によって製品が小型化されることが多く、歩留まりに問題を抱えることは少ないが、本開発品は面積が大きいことから、歩留まり確保のため不良発生頻度を非常に低く管理する必要があり、製造難度が高い。

上記の通り本開発品は、回路ピッチが30 μ mの高密度



略称
 NCDリール加工…Numerical Control (数値制御) の略、加工座標を数値制御できる機器を指す
 DPP…Direct Plating Processの略、無電解めっきせずに直接有機フィルムに電気めっきを施す工程
 DF…Dry Filmの略、回路形成用の感光性フィルムを指す。

図11 工法別回路形成フロー

Fig. 11. Production flow of FPC.

表3 ピッチアダプタ要求項目

Table 3. Requirements for the pitch adaptor.

要求項目	要求性能
配線数	1024本
配線長	最大 10 mm
回路厚	Cu : 6 μm
PAD寸法	ASIC側 : 55 μm \times 200 μm
	Sensor側 : 60 μm \times 200 μm
製品寸法	104 mm \times 10 mm

配線を有することと、配線領域が大きいことから製造難度が非常に高い。

3. 2. 2 製品寸法制御

ピッチアダプタもASIC基板とワイヤーボンディングで接続を行うため、製品の寸法変化量は、センサーFPCと同様に、PAD1ピッチに相当する 50 μm 以内に抑えることが要求されている。つまり、FPC全幅 103.5 mmに対する寸法変化量を 50 μm 以内 ($\pm 0.048\%$) という厳しい寸法制御が要求されている。

3. 3 製造結果

製造条件、環境の最適化を複数回実施したことに加え、新規銅貼り積層板 (CCL : Copper Clad Laminate) の適用、より高解像度の新規ドライフィルムレジストの採用、および、直描型露光機の採用により、要求されるピッチアダプタの開発に成功した (図 12)。

3. 3. 1 回路形成における不良とその対策

ピッチアダプタでは、回路形成後に回路間に 5 μm 程度の大きさの銅が残ってしまう、残銅と呼ばれる不良が多発し、回路形成時に製品歩留まりの低下を引き起こした。

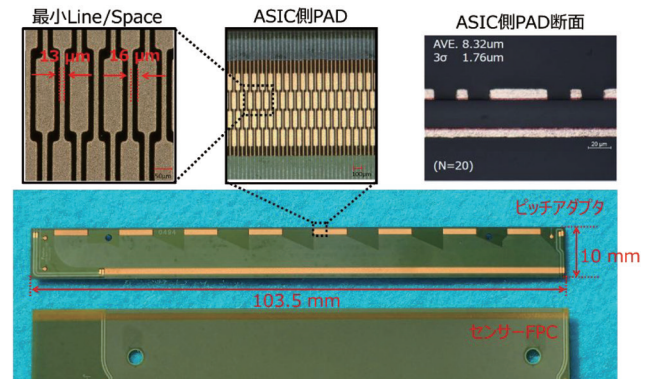


図12 ピッチアダプタ外観

Fig. 12. The appearance of Pitch adaptor.

本開発品では最小回路間隙が 18.5 μm と極めて高密度な回路設計となっているため、回路間の絶縁信頼性の観点から残銅を許容できない。

この残銅による不良は、出発原料の銅箔表面の凸部に起因するものであることがわかっており、CCL銅箔表面の平滑性を高めることが求められた (図 13)。各種CCLでの製造適性を確認したが、残銅による不良は削減できず、従来まで使用されてきたセミアディティブ用CCLでのピッチアダプタの製造は難しいと判断した。そのため、凸部の少ない新規のセミアディティブ工法用CCLを開発し、図 12に示す通り、回路不良の無いピッチアダプタの回路形成に成功している。

3. 3. 2 製品測長結果

寸法変化の制御については、上記の各種対策に加え、寸法変化の少ない新規CCLの採用や、製造装置内における製品搬送張力の調整をはじめとする各工程の最適化を複数回実施した。結果として、103.5 mmの製品長に対して 25 μm 以下 ($\pm 0.024\%$) という高いレベルでの寸法制御を達成し (図 14)、要求性能を満たすピッチアダプタを納入することができている。

4. 実機試験

現在、九州大学、高エネルギー加速器研究機構にて、納入したFPCをワイヤーボンディング性の試験・評価が実施されており、良好な結果が報告されている。従って、センサーFPC、および、ピッチアダプタの開発に成功したものと考えている。

参 考 文 献

- 1) 池田ほか：「微細回路形成技術」, フジクラ技報, 第 115 号, pp.38-41
- 2) 小林：「先進フレキシブルプリント配線板技術」, フジクラ技報, 第 123 号, pp.44-48
- 3) M. Abe *et al.*, “A new approach for measuring the muon anomalous magnetic moment and electric dipole moment,” *Prog. Theor. Exp. Phys.*, vol. 2019, no. 5, May 2019, Art. No. 053C02.
- 4) 三部ほか：「ミュオンg-2/EDM実験」, 高エネルギーニュース, vol. 31, pp209-218
- 5) K. K. Hamamatsu. *Photonics*. Accessed: 2019. [Online]. Available: https://www.hamamatsu.com/resources/pdf/ssd/s13804_kmpd1210j.pdf
- 6) S. Nishimura *et al.*, “Design of the Positron Tracking Detector for the Muon g-2/EDM Experiment at J-PARC,” *JPS Conf. Proc.* 2015, vol. 8, Art. No. 025015.
- 7) T. Kishishita, “SliT: A Strip-Sensor Readout Chip With Subnanosecond Time Walk for the J-PARC Muon g-2/EDM Experiment,” *IEEE Trans. Nucl. Sci.*, vol. 67, no. 9, pp. 2089-2095, Sep 2020.
- 8) T. Yamanaka *et al.*, “Positron tracking detector for J-PARC muon g-2/EDM experiment,” *Nucl. Instrum. Methods Phys. Res. A, Accel. Spectrom. Detect. Assoc. Equip.*, vol.958, Feb. 2020, Art. No. 162786.
- 9) Y. Sato *et al.*, “Development of a front-end ASIC for silicon-strip detectors of the J-PARC muon g-2/EDM experiment,” *Nucl. Instrum. Methods Phys. Res. A, Accel. Spectrom. Detect. Assoc. Equip.*, vol.969, Jul. 2020, Art. No. 164035.

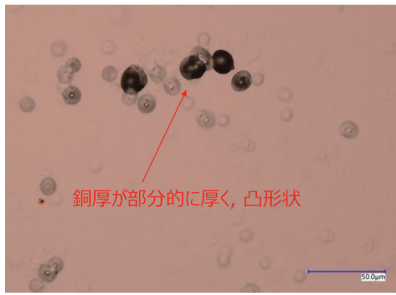


図13 従来のセミアディティブ用CCLの表面
Fig. 13. Micrograph of CCL surface.

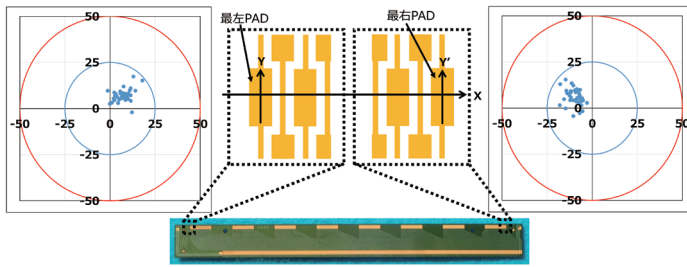


図14 製品測長結果
Fig. 14. Results of the position of PADs.

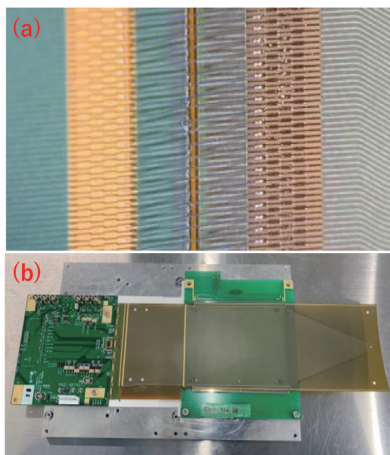


図15 ワイヤボンディング性の試験・評価状況
Fig. 15. Micrograph of wire-bonding test.

5. む す び

J-PARCミュオンg-2/EDM実験におけるシリコンストリップ検出器内で使用される2種類の微細配線FPCの開発に成功した。大面積、かつ、微細配線とともに、高い寸法制御が要求され、非常に開発難易度の高い製品となったが、無事要求される仕様を満たすFPCの納入を完了し、J-PARCミュオンg-2/EDM実験へ貢献できたと考えている。

今後も様々な分野へ、FPC製造技術での貢献を模索していく。