

2 チップスタックWABEパッケージ

新規事業推進センター 佐藤 隼介¹・宗像 浩次²・佐藤 正和¹
板橋 敦¹・稲葉 正俊¹

Two-Chip-Stack WABE Package

S. Sato, K. Munakata, M. Sato, A. Itabashi, and M. Inaba

ウェアラブルデバイスや医療機器の分野では、小型・高機能な電子デバイスが常に求められている。その要求にこたえるため、われわれは小型の半導体パッケージであるWABE Package®を開発してきた。これは、薄厚の多層積層FPCに小型・薄厚のWLPを1つ内蔵した部品内蔵基板である。さらに今回、われわれはWLPを基板厚さ方向に2チップを重ねて内蔵するという技術を世界で初めて実用化することで、小型かつさらに高機能な「2チップスタックWABEパッケージ」を作製することに成功した。

Continued efforts have been made to reduce the size of electronic devices while simultaneously increasing their functionality, especially in the growing industries including those of wearable computers and medical/healthcare devices. To meet the needs in these areas, we have developed a die embedded package, called WABE (Wafer and Board Level Embedded) Package, which is thin and embedded with one IC chip, by combining a multilayer FPC technology and a thin WLP technology. This package is fabricated by a single step co-laminating process using conductive-paste-filled vias for establishing z-axis interlayer electrical connections. In addition, we have developed a chip-stack embedded package that has two IC chips embedded vertically in a circuit board and put it into use for the first time in the world to meet the demand for package size reduction. This new chip-stack embedded package can be fabricated by almost the same process as a single IC embedded package. We evaluated the reliability of the package (4.35 by 3.00 with 0.40 mm thickness) with seven wiring layers and two EEPROMs embedded in a stacked configuration. We conducted MSL 3 (Moisture Sensitivity Level 3) testing as pre-conditioning. After MSL 3 testing, they were put through a temperature cycle test, a temperature humidity bias test and a high temperature storage test. All the modules underwent tests on diode characteristics and functionality and passed all of them. We believe this chip-stack embedding technology is promising to downsize the footprint especially for a package with high functionality and a complex structure.

1. ま え が き

電子デバイスの小型化・高機能化が進むにつれ、それらに搭載される表面実装部品の数も増大しており、高密度な配線構造の基板を実現するために様々なタイプの部品内蔵基板が提案されてきた。部品内蔵基板が注目されているのは、電子部品のいくつかを内蔵することで基板のフットプリントを劇的に縮小することができるからである¹⁾。さらに部品内蔵基板は、内蔵部品とパッケージの端子間の配線距離が短くなるため、電気特性の面でも優れている²⁾。その中でも、われわれが開発したWABE Package®という部品内蔵基板技術は、薄型基材であるFPCを積層した多層積層基板と薄型のWLPの組み合わせから構成され³⁾、内蔵ICが1つの場合には最薄で220 μmのパッケージ厚を達成している。しかし、従来の部品

内蔵技術では複数のICチップを内蔵する場合はサイドバイサイド構造をとるしかなく(図1)、フットプリントのさらなる小型化を達成するための新しい技術が求められていた。

そこでわれわれはWABE Package®の技術をさらに進化させ、基板厚さ方向に2つのICチップを内蔵した2チップスタックWABEの開発に成功した(図2, 3)。たとえば3つのICを基板に実装する場合を考える。従来の部品内蔵技術では2つのICをサイドバイサイド構造で内蔵し、残り1つを表面実装するため、3つのICを内蔵せずすべて表面に実装する場合と比べ67%までしかフットプリントを縮小できない。それに比べ2チップスタック



図1 一般的なWABE packageの断面図

Fig. 1. Cross sectional view of standard WABE package.

¹ メディカル事業推進室 電子回路部

² メディカル事業推進室

略語・専門用語リスト 略語・専門用語	正式表記	説明
WABE Package®	Wafer And Board level Embedded Package	当社が開発した部品内蔵基板の商標 WLPをFPC多層基板に内蔵した基板を一括積層プロセスを用いて作製することが特徴
一括積層プロセス	Co-lamination process	あらかじめ回路形成した各層の基板を積層し、一回のキュアプレスにより多層板を製造するプロセス、WABEの製造に用いられる工法
ビルドアッププロセス	Buildup process	樹脂層と導体層を交互に形成し積み上げていくことで基板を作製するプロセス、一般的な多層基板の作製に用いられている
サイドバイサイド構造 フットプリント	Side by side structure Footprint	複数チップを実装する際に、チップ同士を同一面内に並べた構造 電子部品やパッケージの設置面積
WLP	Wafer Level Package	ウエハの状態では半導体チップをパッケージングする技術 RDL (Re-Distribution Layer : 再配線層) 加工をほどこすことでチップをそのままのサイズでパッケージングすることが可能となる
EEPROM	Electrically Erasable Programmable Read-Only Memory	不揮発性メモリの一種
FPC	Flexible Print Circuit	フレキシブルプリント基板のこと CCLを原材料とし導体パターンを形成したもの 片面にパターンがあるものを片面FPC、両面にあるものを両面FPCと呼ぶ
CCL	Copper Clad Laminate	銅張積層板のこと 樹脂フィルム上に銅箔が形成されている
フィールドビア	Filled via	プリント基板に形成されるめっきビアの種類 めっき金属によりビアホール内部を充てんしたもの
コンフォーマルビア	Conformal via	フィールドビアに対し、ビアホール内部の表面のみをめっきしたもの
デージーチェーン	Daisy chain	数珠状に直列接続した回路のこと 本論文では基板の回路抵抗の測定のためにもちいている
コンポーネント レベルテスト	Component level test	部品レベルでの導通テストを指す WABE Package® 単体を用いて WABE に内蔵された IC を通る回路の抵抗値特性をテストした
ボードレベルテスト	Board level test	部品を評価ボードに実装した状態でのテスト WABE Package® を評価ボードに実装し内蔵した IC の動作テストをおこなった

ク WABE では IC 2 つを重ねて内蔵し、表面に IC 1 つを実装することでフットプリントを 54 % に縮小することができる。本論文では、2 チップスタック WABE の構造と作製方法および評価用 IC を内蔵して作製したサンプルの信頼性評価結果について報告する。



図2 回路抵抗評価用2チップスタック WABE の断面図
Fig. 2. Cross sectional view of two-chip-stack WABE package for via resistance evaluation.

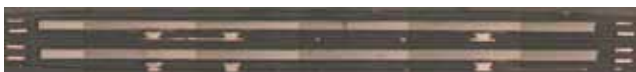


図3 EEPROM内蔵2チップスタック WABE の断面図
Fig. 3. Cross sectional view of EEPROM embed two-chip-stack WABE package.

2. WABE の製造方法

基本的な WABE の構成材料は、片面 FPC と両面 FPC、そして内蔵する IC チップから成る。これらの材料を厚さ方向に積層後、キュアプレス工程を一回のみ行うことで WABE が形成される (図 4-4)。FPC 同士の層間、および FPC と内蔵 IC 間は FPC に形成された導電性ペーストビアによって電氣的に接続される。さらに 2 チップスタック WABE では、後述する中間層と呼ぶ構造の FPC を使用することで、キュアプレス工程の回数を増やさず、2 つの IC を厚さ方向に同時に内蔵し、接続することが可能になった⁴⁾。以下に使用する FPC 材料の詳細を述べる。

3. WABE を構成する FPC の作製プロセス

2 チップスタック WABE では、以下に記す 3 種類の FPC を積層前に準備する必要がある。FPC は CCL を出発材料としフォトリソ工法を経て回路が形成される。

- 片面FPC

断面方向から見た回路形成プロセスのフローを図 4-1 に示す。まずCCLを回路形成する。次に接着材層を形成した後、レーザー加工法を用いてビアホールを開口する。接着材は積層時に隣接するFPC、または内蔵ICとの接合のために用いられる。ビアホールには導電性ペーストが充填され、隣接するFPCや内蔵ICと電氣的に接続する。

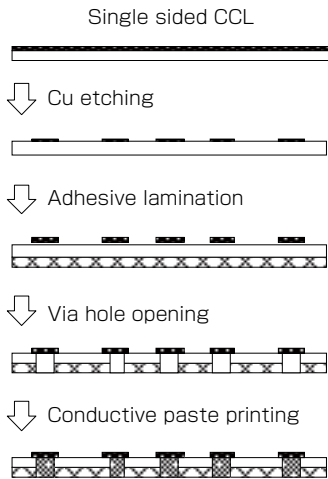


図4-1 片面板の作製プロセスフロー
Fig. 4-1. Fabrication process flow of single sided FPC.

- 両面FPC

プロセスフローを図 4-2 に示す。このFPCは内蔵するIC周囲に配置されるスペーサーとしての役割を持っている。ビアホールには電解めっきによりフィルドビア、もしくはコンフォーマルビアを形成する。最後にパンチングもしくはレーザー加工プロセスを用いて、ICチップを収容するためのキャビティを形成する。

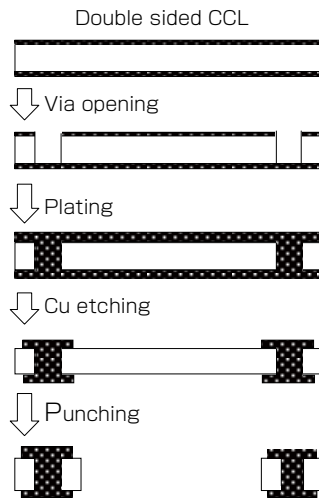


図4-2 両面板の作製プロセスフロー
Fig. 4-2. Fabrication process flow of double sided FPC.

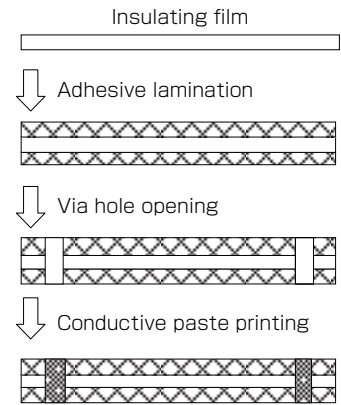


図4-3 中間層の作製プロセスフロー
Fig. 4-3. Fabrication process flow of intermediate layer.

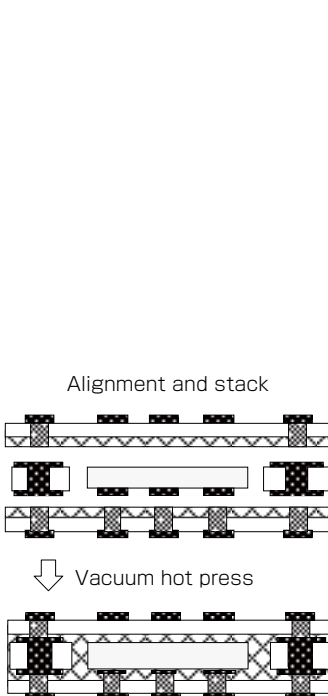


図4-4 1チップWABEの作製プロセスフロー
Fig. 4-4. Fabrication process flow of WABE embedded with one-chip.

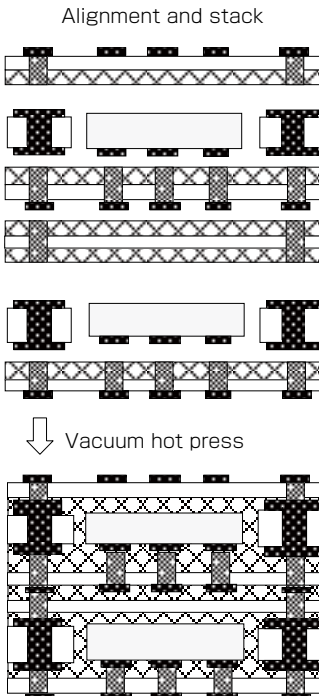


図4-5 2チップスタックWABEの作製プロセスフロー
Fig. 4-5. Fabrication process flow of two-chip-stack WABE.

図4 各WABEおよびWABEを構成するFPCの作製プロセスフロー
Fig. 4. Fabrication process flow of one-chip WABE, two-chip-stack WABE and FPC layers for WABE.

- 中間層

2チップスタックWABEでは、前記2種類のFPCのほかに中間層と呼ぶFPCを用意する必要がある。図4-3に示すように、中間層は導体層を持たない絶縁フィルム両面に接着材が貼付けられた構造を有する。さらにレーザー加工により形成されたスルーホールに導電性ペーストを充てんする。このように作製した中間層を、片面もしくは両面FPC間の電気接続層として用いる。

4. IC内蔵プロセス（一括積層プロセス）

図4-5に、2チップスタックWABEの位置合わせ積層とキュアプロセスを示す。WABEに使用する内蔵ICはFPCとの端子ピッチの整合をとるためにWLP加工を行った後、裏面を研磨して85μmまで薄くする。積層された各FPCとICを加圧・加熱することで、接着材と導電性ペーストの焼成を同時に行う。このとき、接着材は一度軟化し、層間やIC周辺の間隙に充てんされたのちに硬化する。また導電性ペーストに含まれる金属成分はFPCやICのパッドと合金を形成する。このWABE作製に特徴的なプロセス技術を、われわれは一括積層埋込プロセスと呼んでいる。通常が多層基板で用いられるビルドアッププロセスと異なり、各層の回路を並行して作製可能であること、積層の際に検査に合格した層のみを充当できるなど、リードタイムやコストの面で優れている。

一括積層埋込工程後、ソルダーレジストによる表面保護と、防錆膜や金メッキによる端子保護をほどこすことでWABEが完成する。

5. 電気特性評価

2チップスタックWABEの性能評価として、2種類の基板を作製しそれぞれ評価を行った。回路抵抗評価用にチップ-ビア-配線間でダイチェーンを形成した基板

表1 回路抵抗評価用基板のスペック
Table 1. Specification of evaluation board for via resistance test.

Item	Spec
Wiring layer	9 layers
Module size	4.0×4.0 mm, 450 μmt
Embedding die size	3×3 mm, 85 μmt
Minimum line/space	40 μm / 40 μm

表2 EEPROMのファンクションテスト用評価基板のスペック
Table 2. Specification of evaluation board for EEPROM function test.

Item	Spec
Wiring layer	7 layers
Module size	4.4×3.0 mm, 400 μmt
Embedding die size	3.5×2.0 mm, 85 μmt
Minimum line/space	50 μm / 50 μm

を図2に、ICチップのファンクションテスト用としてEEPROMを内蔵した基板を図3に示す。前者の基板厚さは0.45mm、後者は0.4mmであり、従来のICを内蔵していない多層板並みの厚さにとどまっている。これらの評価基板のスペックはそれぞれ表1、表2に示すとおりである。

6. 回路抵抗評価

回路抵抗値において、もっとも影響をおよぼすのはビアの接続信頼性である。層間接続ビアはその構造から、基板に熱的ストレスを繰り返し印加した際に応力がかかり、最も断線しやすい箇所だからである。まず、図2の評価基板を構成するダイチェーン回路の初期抵抗値を測定した（表3）。次にビアの接続信頼性を調べるために表4に示す各環境試験を行い、試験前後の回路抵抗の変化率を測定した。すべての試験においてJEDEC規格の吸湿リフローレベル3の試験を前処理として行っている⁵⁾。環境試験の合格基準はJPCA規格にて初期抵抗値からの上昇率20%以下と規定されている⁶⁾。試験の結果、この評価基板では規格を超える抵抗上昇はなく、2チップスタックWABE構造が十分な接続信頼性を有していることが示された。

7. ファンクションテスト

- 初期評価

図3はファンクションテスト用の2チップスタックWABE基板の断面である。ファンクションテスト用のICチップとしてEEPROMを2個内蔵している。初期評価としてEEPROMのVddとGND端子を通る経路をモジュ

表3 初期の回路抵抗値
Table 3. Initial electrical resistance.

Conductive path	Number of via	Average resistance (Ω)	3σ (Ω)	n
A: Upper die	70	1.30	0.11	48
B: Lower die	114	3.36	0.22	48
C: Lower die and intermediate via	28	0.41	0.02	48

表4 回路抵抗評価の試験条件と結果
Table 4. Test conditions and results of electrical resistance evaluation.

Test item	Condition	n	Result
Thermal cycle test	-40℃ ↔ 125℃, 1 hour/cycles, 1000 cycles	8	Pass
High temperature humidity test	85℃, 85%RH, 1000 hours	8	Pass
Unbiased highly accelerated stress test	130℃, 85%RH, 336 hours	8	Pass
Preconditioning: MSL 3	260℃ reflow 3 times, after 30℃, 60%RH, 192 hours	24	-

表5 コンポーネントレベルテストの試験条件と結果
Table 5. Component level test conditions and results.

Test item	Condition	n	Result
Thermal cycle test 1	-40 °C ↔ 85 °C, 20 minutes/cycles, 1000 cycles	45	Pass
Thermal cycle test 2	-40 °C ↔ 125 °C, 1 hour/cycles, 500 cycles	45	Pass
High temperature humidity test	85 °C, 85 %RH, 500 hours	45	Pass
High temperature storage test	150 °C, 1000 hours	45	Pass
Unbiased highly accelerated stress test	130 °C, 85 %RH, 336 hours	45	Pass
Preconditioning: MSL 3	260 °C reflow 3 times, after 30 °C, 60 %RH, 192 hours	225	-

ール 135 個分測定し、問題なく導通していることを確認した。

- コンポーネントレベルテスト

この評価基板において、コンポーネントレベルで行った信頼性試験の条件と結果を表 5 に示す。回路抵抗評価試験の際と同様に吸湿リフローレベル 3 の試験を前処理として行っている。7 種類の試験の前後で、すべてのモジュールにおいて変色、層間の膨れや剥がれなどの外観変化は見られず、IC 内部を通る経路の抵抗も正常値を示すことが確認できた。

- ボードレベルテスト

次にボードレベルでの信頼性を評価するためモジュールを評価ボードに実装し、表 6 に示す試験を行う前後でファンクションテストを行った。各信頼性試験前後でのファンクションテストの方法を以下に示す。

- EEPROMのすべてのアドレスへの書き込み
- EEPROMに書き込んだ値の読み込み、およびベリファイ
- 別の値をすべてのアドレスへ書き込み
- 再度、読み込みとベリファイ

すべての試験前後でEEPROMの動作は正常であり、WABE基板に内蔵されたICが良好に機能していることが確認された。

8. む す び

本論文では一括積層埋込技術を用いた部品内蔵基板 WABE Package®をさらに進化させた 2 チップスタック WABE パッケージを紹介した。試作した基板は 2 個の IC を重ねて内蔵しているにもかかわらず 0.4-0.45 mm の

表6 ボードレベルテストの試験条件と結果
Table 6. Board level test conditions and results.

Test item	Condition	n	Result
Temperature cycle test	-40 °C ↔ 85 °C, 3 cycles/hour, 1000 cycles	16	Passed
Temperature humidity bias test	85 °C, 85 %RH, 2.60 V _{DC} , 500 hours	12	Passed
High temperature operating test	85 °C, 2.60 V _{DC} , 500 hours	12	Passed
Preconditioning: MSL 3	260 °C reflow 3 times,after 30 °C, 60 %RH, 192 hours	40	-

薄さを有し、実装の低背化に適した技術であることを示した。また、これらの評価基板を用いた接続信頼性試験およびコンポーネントレベル、ボードレベルテストの結果から、2 チップスタック WABE が部品内蔵基板として十分な信頼性と性能を有していることを検証した。チップスタック WABE 技術は将来の電子機器の小型・高機能化を推進する高密度実装技術として大いに貢献していくものと期待される。

参 考 文 献

- 1) K. Munakata, N. Ueta, M. Okamoto, K. Onodera, K. Itoi, S. Okude, O. Nakao and T. G. Tessier: "Reliability of multi-layer wiring board embedded with two dies in stacked configuration," 47th International Symposium on Microelectronics, 2014, USA.
- 2) K. Munakata, N. Ueta, M. Okamoto, K. Onodera, K. Itoi, S. Okude, O. Nakao, Jon A. and Ted G. T.: "Polyimide PCB embedded with two dies in stacked configuration," International Wafer-Level Packaging Conference (IWLPC), 2013, USA.
- 3) M. Okamoto, S. Ito, S. Okude, T. Suzuki and O. Nakao: "Embedded IC polyimide multi-layer substrate," International Wafer-Level Packaging Conference (IWLPC), 2006, USA.
- 4) Design and Assembly Process Implementation for Embedded Components, IPC-7092, pp.21, February 2015.
- 5) Preconditioning of Nonhermetic Surface Mount Devices Prior to Reliability Testing, JESD22-A113F, October 2008
- 6) 「部品内蔵電子回路基板（部品内蔵基板）用語・信頼性試験法・設計ガイド」JPCA-EB01（2011）、2011