

次世代高密度配線技術

電子デバイス研究所 中尾 知¹

Advanced High Density Interconnection Technology

O. Nakao

全層ポリイミドからなるIVH (Interstitial Via Hole) 多層配線板と部品内蔵基板を紹介いたします。これらは絶縁層にポリイミドフィルムを採用することで、従来の多層板に比べて極めて薄い基板厚と高い信頼性を有していることが特長です。隣接する層間を接続するIVHには特殊な導電性ペーストを用いており、高密度配線と簡便な製造プロセスとを両立しています。また、部品内蔵技術を用いるとLSIや受動部品を基板内で3次元的に配置することが可能になります。IVHと部品内蔵技術は基板の大幅な小型化と部品間の最短配線を実現し、電子機器の小型高性能化を推進します。

IVH-multi-layer and device-embedding technology for polyimide circuit board are presented. Employing thin polyimide film for insulation layer, both of the boards are featuring very thin structure and excellent reliability. As IVH connecting adjacent layers is filled with special conductive paste, it combines high density wiring and simple fabrication. Embedding technology enables 3D arrangement of LSI's and passive components in a circuit board. Through drastic reduction of board size and cutting of signal path, IVH and embedding technology will accelerate innovation in miniaturization and performance of future electronic devices.

1. ま え が き

携帯電子機器の高密度実装の担い手としてFPC (Flexible Printed Circuit) の役割はますます重要になってきています。FPCは基板の柔軟性を利用して、限られた空間内で部品配置の自由度を提供するとともに素材の薄さゆえの低背実装を可能にします。良好な表面平滑性は狭ピッチ多ピン化するLSIや微小化するチップ部品などの高密度実装にも適しています。

上記のようなFPCの特性をいかしながら、さらなる高機能化を実現するため超薄型の多層FPC 'APIC' と薄型部品内蔵基板技術 'WABE technology[®]' を開発いたしました。APICは全層ポリイミドからなるIVH多層構造により、従来の多層FPCに比べ低背かつ高密度実装を可能にした多層配線板です。WABE technologyは、LSIや受動部品を配線板に内蔵することにより、3次元的な部品の配置を可能にして基板内配線の最短化と基板厚さの大幅低減を実現する次世代の配線板技術です。本項ではこれらの技術的特徴や次世代配線板としての事例を示すとともに、テストクーポンを用いた信頼性評価試験の結果の一部を紹介いたします。

2. 全層ポリイミドIVH多層配線板 'APIC'

2.1 APICの構造

APICはポリイミドフィルムを絶縁層とする配線基材を積層し、導体層間を導電性ペーストからなるIVH (Interstitial Via Hole) で接続した多層配線板です^{1) 2)}。多層配線板の層間接続には、従来スルーホールめっき技術 (PTH) が用いられていましたが、近年ではPTHに比べてより微小な穴あけができるレーザ加工 (LVH) が広く普及してきました。このLVHとビルドアップ工法とを組み合わせることで、配線の微細・高密度化が急速に進んでいます³⁾。従来のLVHはビアホールの側壁にめっき膜を形成していたためビア表面が凹んだ形状となり、ビアを重ねたりビア上に実装パッドを設けることが困難でした。最近のめっき技術の進歩はビアホールの中に選択的にめっきを成長させる技術 (フィールドビア) を実現し、ビア上にビアを配置するピアオンピアやパッドの直下にビアを配置するパッドオンピア構造の提供も可能となっています⁴⁾。フィールドビアは高い自由度で配置できるため、配線のデッドスペースが減少するとともに配線長が短縮され伝送損失の低減につながっています。

APICの特徴の一つはフィールドビアに導電性ペーストを用いることにあります。複雑な工程管理を必要とするフィールドビアめっきに比べ工程が簡略化できることに加え、めっきによる導体厚の増加がないため配線の高精細化に

1 マイクロデバイス開発部部長

略語・専門用語リスト 略語・専門用語	正式表記	説明
IVH	Interstitial Via Hole	中に導体が充填され2層または2層以上の導体層を接続する穴で、配線板全体を貫通していないもの
APIC	All Polyimide IVH Co-laminated (フジクラの造語)	導電性ペーストを用い一括積層法で製造するフジクラが開発した多層配線板の名称
WABE technology	Wafer And Board level Embedded technology (フジクラの登録商標)	WLP化されたICと配線板とを導電性ペーストビアによって接続するフジクラが開発した部品内蔵基板の名称
PTH	Plated Through Hole	めっきスルーホール。内壁にめっきで銅を析出させ表層または内層の導体層を接続するための配線板全体を貫通する穴。
LVH	Laser Via Hole	レーザ加工によって開口し、内壁に銅めっきを析出させるか導電性材料を充填することで導体層を接続する穴
FCBGA	Flip Chip Ball Grid Array	ベアダイをフリップチップ接続で基板に接続し、基板裏面に形成した格子状のはんだボールを端子としたパッケージ

も有利になっています。絶縁層となる高強度材料のポリイミドは極薄のフィルム化が可能で導体厚の薄化と相まって多層配線板の薄型化に寄与しています。一方、低誘電率・高耐電圧などポリイミドの良好な電気的特性により微細化した配線に対しても高い信頼性を付与することができます。また、高耐熱性を活かして高温の過酷環境下での応用にも適しています。APICの断面写真をPTH多層板およびLVH多層板と比較して図1に示します。

2. 2 APICの製法

APICは導電性ペーストをビア接続に用いることにより、多層板の積層工程を層数に関係なく一度で行なう一

括積層法を採用しています。一括積層法は、積層前に全層の配線パターンを形成しておき、最後に一括で積層プレスして作製するため、工程を簡略化できるのみならず、リードタイムの短縮、品質の安定化に有利な製法です。図2に従って製造工程を説明します。各層の配線パターンは、出発材料となる銅貼積層板(CCL)にレジストマスクを施し、薬液でエッチングすることによって形成します。このパターン形成には高い生産性を有するR-R(ロール トゥ ロール)プロセスを採用することができるのと同時に各層数分の加工を並列で行うことができるため、リードタイムの短縮につながります。次に、各配線層の裏面に接着層を形成した後、パターンの裏面からレーザを照射して層間接続のためのビアホールを開口し導電性ペーストを充填します。各層間のアライメントを行って重ね合わせ、最後に一括で加熱プレスして多層板が完成します。プレス時に層間の接着層を硬化させて各層を接着すると同時に導電性ペーストを硬化させ層間を電氣的



(a) PTH 多層板
(a) PTH multilayer board



(b) LVH 多層板
(b) LVH multilayer board



(c) APIC 多層板
(c) APIC

図1 PTH多層板, LVH多層板とAPICの断面写真
Fig. 1. Cross sections of PTH multilayer board, LVH multilayer board and APIC.

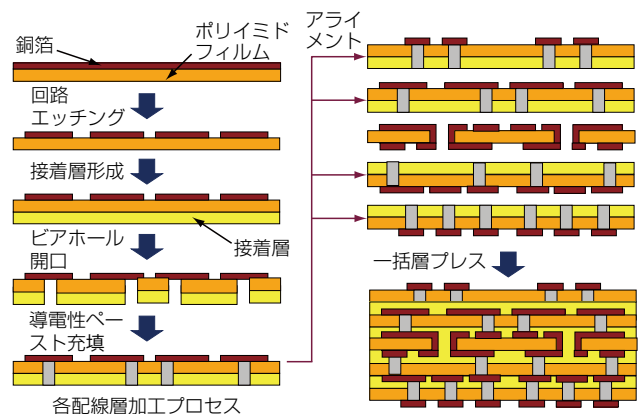


図2 APICの製造工程
Fig. 2. Process flow of APIC.

に接続します。図 3 に示すように、多層部を帯状または島状に並べて配置し、一括積層する工法が部分多層工法です。部分多層工法では片面または両面FPCからなるケーブル部と多層部を異なったレイアウトで作製することで、使用材料のムダを大幅に低減することができます。

2. 3 APICの構造バリエーション

図 4 に APIC の特徴をいかした多層FPCの例を紹介します。図 4 (a) は片面配線板の一部に多層部を配した部分多層構造です。片面FPCをベースとして一部分に4層の配線基材を積層しています。図 4 (b) は4層配線板の片側半分の接着層を取り除き、各層を独立させた構造です。各層の引き出し配線部にはカバーレイと金めっきが施されており、他の配線板やコネクタとの接続および部品の搭載が可能となっています。図 4 (c) はセミアディティブプロセスで作製した両面微細配線板を表層に用いた構造で、エリアアレイ型ファインピッチLSI搭載用のFCBGA基板です。フリップチップパッドと引き出し配線はセミアディティブ法で形成し、直接LSIと接続されない内層の配線はサブトラティブ法を用いて作製しています。要求される機能に応じて各層ごとに最適な配線形成法を採用し、コストパフォーマンスの高い多層板を設計することができます。このようにAPICは一括積層法の

特徴を利用して様々なバリエーションを提供することが可能です。

2. 4 評価

APICのテストクーポンを作製して実施した信頼性試験の項目と評価結果の一覧を表 1 に示します。評価には主として6層板を用いました。前処理としてJEDEC(半導体技術協会)レベル3の吸湿リフローを行い、その後、各種信頼性試験を実施しました。試験結果の一部を図 5 に示します。6層板のビアスタック部に対する温度サイクル試験およびオイルディップ試験、間隔50μmの配線パターンおよびビア間に対する高温高湿バイアス試験等を行い、外観および電気特性が規格を満足することを確認しました。半導体パッケージやモジュール基板用途のサンプルに対しては、より厳しいJEDECレベル1の試験を行っていますが、基板の膨れ発生や電気特性の異常はありませんでした。

3. 部品内蔵基板技術 ‘WABE Technology®’

3. 1 構造

多層配線板APICの製法をベースに、基板内にLSIおよび受動部品を埋め込んでビアで電氣的に接続する部品内蔵基板技術 ‘WABE technology®’ を開発しました^{5) 6)}。部品内蔵基板には製法の違いにより次の2種類があります。一つは、電子部品を樹脂基板に埋め込んでから、レーザービア加工技術を用いて部品の電極部にビアホールを開口して配線を施すビア接続型部品内蔵基板です。もう一つは表面実装技術を用いて電子部品を配線板上に実装した後に、樹脂で埋め込むパッド接続型部品内蔵基板です。いずれも基材にエポキシ樹脂を用いた硬質基板であり、主に携帯電話用モジュール基板として2003年から実用化が開始されました。基板メーカーや部品メーカーから多様な部品内蔵基板技術の開発例が報告されていますが、当社でもFPCへの部品内蔵時代の到来に備え、ポリイミド基板を用いた独自の部品内蔵技術を完成させ製品化を進めております。

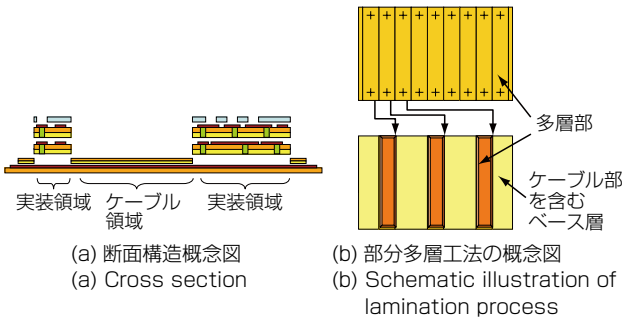


図 3 APICの部分多層構造と工法の概念図
Fig. 3. Cross sectional structure and lamination process of partial multilayer board.

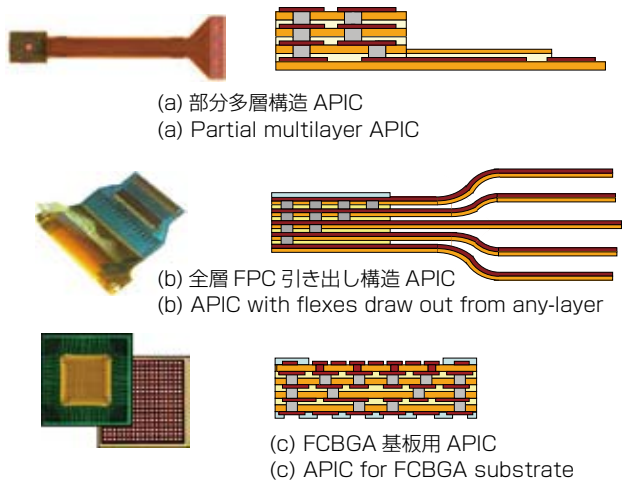


図 4 APICを応用した多層FPCの構造例
Fig. 4. Structural variation of APIC.

表 1 APICの信頼性試験結果

Table 1. Summary of reliability test results for APIC.

項目	試験条件	結果
高温放置試験	125 °C, 1000 h	外観変化なし, 抵抗変化 < 10 %
低温放置試験	-40 °C 1000 h	外観変化なし, 抵抗変化 < 10 %
高温高湿放置試験	60 °C, 90 % RH, 1000 h	外観変化なし, 抵抗変化 < 10 %
温度サイクル試験	-25 ⇄ 125 °C, 1000 cyc	外観変化なし, 抵抗変化 < 10 %
高温高湿バイアス	85 °C, 85 % RH, 30 V/1000 h	外観変化なし, 絶縁抵抗 > 10 MΩ
絶縁抵抗測定	100 V/1 min	> 10 ¹² Ω (層間, 層内)
絶縁耐圧試験	1000 V/1 min	層間, 層内とも異常なし

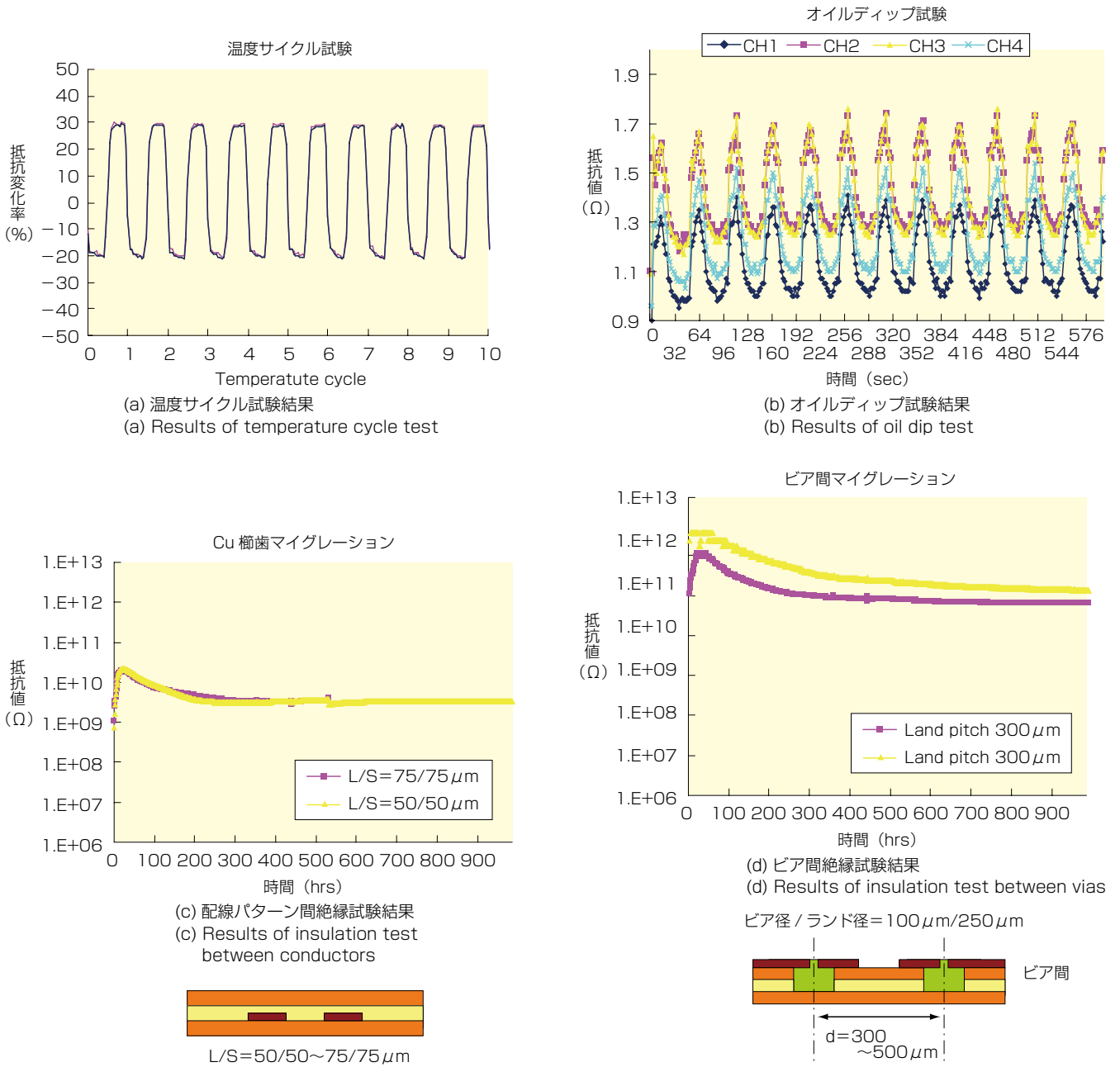


図5 APIC信頼性試験結果
Fig. 5. Reliability test results of APIC.

WABE technologyの特徴は、ウエハレベルプロセスでLSI表面に再配線を施すことにより、導電性ペーストで接続可能なパッドを形成し、基板の積層と同時にLSIを埋め込んで接続する工法にあります。埋め込まれたLSIと基板の配線とはビアを介して信頼性の高い接続がなされます。絶縁層にポリイミドフィルムを用いていることから、多層FPCとしての特徴のほかに基板厚を薄くできる利点があり、低背化を要求される半導体パッケージやモジュール基板の用途にも有利です。裏面研削を施して薄肉化したLSIを内蔵した4層板は0.22 mm、薄型受動部品とLSIを混載内蔵した5層板では0.26 mmという世界最高レベルの薄さを実現しました。それらの断面写真を図6に、代表的な寸法を表2に示します。

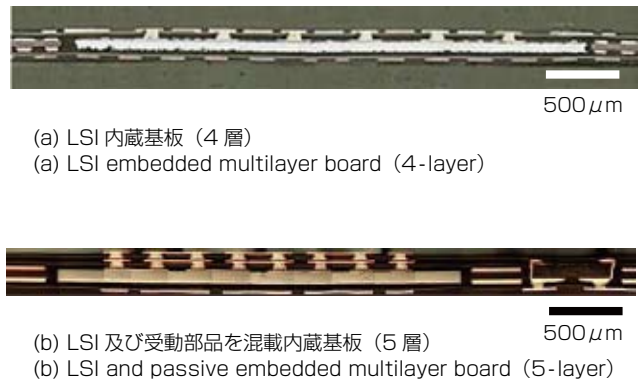


図6 WABE technologyによる部品内蔵基板の断面写真
Fig. 6. Cross section of device embedded multilayer board.

表2 WABE technologyを適用した部品内蔵基板の代表的な寸法

Table 2. Dimensions of device embedded multilayer board employing WABE technology.

	項目	寸法
ウエハレベル配線	配線幅	10 μ m
	配線間隔	10 μ m
	ICパッドピッチ	80 μ m
基板内配線	配線幅	40 μ m
	配線間隔	40 μ m
	ビアピッチ	300 μ m
厚さ	基板厚さ(4層)	220 μ m
	IC厚さ	85 μ m

3.2 製法

内蔵用LSIの表面には、ウエハレベルの再配線プロセスでビア接続パッドを形成しておきます。LSIは裏面のSiを研削し再配線層込みで0.1 mm以下まで薄肉化します。図7に示すように各層の配線パターンとビアを形成した基材に内蔵するLSIを搭載し、配線層で部品を挟み込むように積層します。LSIを搭載する層の基材にはあらかじめキャビティを形成します。受動部品の場合もLSIと同様に、内層の基材上に部品を搭載し基材とともに積層します。これらの積層体を加熱プレスすることで配線層の接着と部品の埋め込みおよび配線と部品間の電気的接続が同時になされます。部品の搭載工程以外はAPICと同じ製造プロセスになります。APICと同様な構造のバリエーションを持ち、多層部に部品を内蔵した部分多層配線板を作製することができます。内蔵できる部品は、0.7~8 mm角のLSIおよび0.15 mm厚の受動部品などです。

3.3 評価

4 mm角のLSI 1チップを内蔵した半導体パッケージ基板を用いて信頼性評価を実施しました。前処理としてJEDECレベル1の吸湿リフローを行い、温度サイクル試験、PCT試験などを実施して、半導体パッケージに要求される信頼性を有していることを確認いたしました。試験の項目と結果を表3にまとめて示します。

4. むすび

本項ではFPCをベースにした独自技術による高密度多層配線板APICと部品内蔵基板技術WABE technologyを紹介しました。APICはポリイミドならではの特性をいかした自由度の高い部品配置と低背実装を、WABE technologyは3次元的な部品配置と最短接続により超高密度実装と低損失伝送を提供します。両者ともに半導体パッケージレベルの過酷な信頼性要求を満足しており、パッケージ基板やモジュール基板用途にも適用することが可能です。これらの技術を通して、より高度化する次世代の電子機器に、高い設計自由度やスペースファクタを提供し、お客様の独創的な製品の創出と差別化に貢献できるものと期待しております。

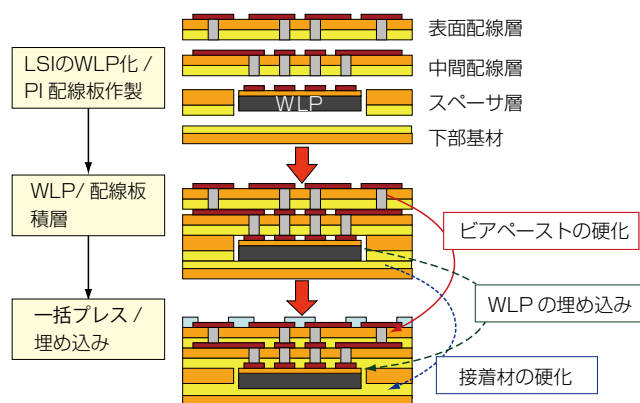


図7 WABE technologyによる部品内蔵基板の概略製造プロセス

Fig. 7. Process flow of WABE technology.

表3 WABE technologyを適用した部品内蔵基板の信頼性試験結果

Table 3. Summary of test results for device embedded multilayer board.

項目	試験条件	結果
高温放置試験	150 $^{\circ}$ C, 1000 h	外観変化なし, 断線混線なし
低温放置試験	-40 $^{\circ}$ C, 1000 h	外観変化なし, 断線混線なし
高温高湿放置試験	85 $^{\circ}$ C, 85 % RH, 1000 h	外観変化なし, 断線混線なし
温度サイクル試験	-40 \leftrightarrow 125 $^{\circ}$ C, 1000 cyc	外観変化なし, 断線混線なし
高温高湿バイアス	85 $^{\circ}$ C, 85 % RH, 30 V/1000 h	外観変化なし, 絶縁抵抗 > 10 M Ω
PCT	130 $^{\circ}$ C, 85 % Rh, 336 h	外観変化なし, 断線混線なし
リフローサイクル	250 $^{\circ}$ C peak \times 10 cyc	外観変化なし, 断線混線なし

前処理: 85 $^{\circ}$ C 85 % Rh 168 h (JEDEC MSL 1)
 \rightarrow 250 $^{\circ}$ C peak reflow \times 3 cyc

参考文献

- 1) 中尾ほか:「一括積層ポリイミドIVH多層配線板」, フジクラ技報, 第103号, pp. 48-52, 2002
- 2) 本戸ほか:「全層ポリイミド多層配線板の信頼性」, フジクラ技報, 第116号, pp. 43-47, 2009
- 3) 村川ほか:「高密度多層基板」, フジクラ技報, 第111号, pp. 31-33, 2006
- 4) 橋場ほか:「ビアフィルめっきを適用したビルドアップ多層配線板」, フジクラ技報, 第108号, pp. 31-34, 2005
- 5) 岡本ほか:「IC内蔵基板」, フジクラ技報, 第111号, pp. 54-58, 2006
- 6) 佐野ほか:「薄型WLP-IC内蔵ポリイミド多層配線板」, フジクラ技報, 第119号, pp. 39-43, 2010