

表面実装用極薄型WLP

電子デバイス研究所 石塚 健¹・井上 俊明¹・鈴木 孝直²

Ultra-thin Type Wafer Level Package (WLP) for Low-height Surface Mounting

T. Ishizuka, T. Inoue, and T. Suzuki

外部端子としてはんだバンプを設けた構造で総厚さ 200 μm Max という業界最薄の表面実装用ウエハレベルパッケージ (WLP) を開発した。この極薄型 WLP は、0402 サイズの表面実装部品と同じ高さで IC を実装することができ、電子機器や部品のさらなる小型化・薄型化を可能にする。本稿では、極薄型 WLP の作製方法とその実装信頼性の評価結果を報告する。

We have developed ultra-thin type Wafer Level Package (WLP) for low-height surface mounting. Maximum thickness of this WLP is 200 μm with solder bumps. Ultra-thin WLP technology enables us to mount ICs on PWB with the same height as micropassive components of 0402 type, with the aim of further miniaturization and reduction in the thickness of electronic devices and modules. In this paper, we report on manufacturing methods and the board-level reliability test results of ultra-thin type WLP.

1. ま え が き

最小の半導体パッケージ形成技術である WLP¹⁾ に対して、薄型化の要求が高まっている。これは電子機器の小型化・薄型化の要求に加え、機能モジュール (MCP, SiP) や IC 内蔵基板²⁾ への WLP の応用が進みつつあるためであり、既に総厚さ 400 μm Max の WLP が表面実装用や基板内蔵用として実用化されている。また、薄型化することが素子の重量削減や実装信頼性向上に寄与し、落下衝撃や温度サイクル試験に対しても良好な結果をもたらすと期待されている。

当社の極薄型 WLP の開発ロードマップを図 1 に示す。基板内蔵用や IC タグ用の WLP ははんだバンプを必ずしも必要とせず、このような WLP では総厚さ 100 μm Max 以下を既に達成しており、顧客への提供を開始している。

一方、はんだバンプを必要とする表面実装用の WLP は、現在、総厚さ 400 μm Max の製品を量産している。本開発では、今後、表面実装の主流になると考えられる 0402 サイズの表面実装部品と同じ高さで基板実装できるよう、はんだバンプを含めた総厚さが 200 μm Max の表面実装用極薄型 WLP を開発した。

2. 表面実装用極薄型 WLP の作製

図 2 に当社で作製している WLP の断面構造の模式図を示す。WLP は IC を保護するための樹脂層、外部の回路と接続するためのはんだバンプ、IC とはんだバンプを接続するための再配線からなり、これらはすべてウエハの状態一括して形成される。このため、薄型化する加工も、生産性を考慮してウエハの状態で行うことが望ましい。薄型化するためには、電気的な性能および信頼性に影響の少ない部分を薄くする、つまり回路を形成していないウエハ裏面の不要なシリコン部分を除去する方法が用いられる。ウエハの状態シリコンの不要部分を除去する方法には、ウェットエッチング、ドライエッチング、機械加工などがあり、スタックチップなどで実用化されている薄型 IC の加工には、厚さの面内均一性と生産性に優れた機械加工による裏面研削 (BG: Back Grind) 技術が採用されている。

薄型化したウエハは破損しやすいため、WLP の形成はできるだけ BG 加工前に行っておくことが望ましい。そこで、極薄型 WLP の BG 加工は、はんだバンプを形成した後におこなうことにした。

BG 加工の際は表面の回路を保護するために保護テープを用いる。はんだバンプがある WLP の場合は、はんだバンプによる表面の凹凸を保護テープで吸収しなけれ

1 マイクロデバイス開発部

2 シリコン技術開発部グループ長

省略語・専門用語リスト

省略語・専門用語	正式表記	説明
W L P	Wafer Level Package	半導体のウエハの状態での樹脂封止と端子形成を行う半導体のパッケージング方法。IC 製品を半導体チップ程度に小型化できる。
P W B	Printed Wiring Board	配線が行われている電子基板。
M C P	Multi-chip Package	複数の IC チップを 1 つのパッケージに収納したもの。
S i P	System in Package	複数の IC チップを 1 つのパッケージに収納して 1 つのシステムのように機能させるようにしたもの。
T S V	Through-Silicon Via	シリコン基板に形成した微小な貫通穴に IC チップへの配線機能をもたせたもの。
IC タグ		物体の識別に利用される微小な無線 IC チップ。
0402 サイズ		サイズ実装寸法が 0.4mm × 0.2mm のサイズであること。
スタックチップ		IC チップを積層したもの。
デージーチェーン		数珠繋ぎにつないでいく配線方法。
エリアアレイ		端子等が格子状に配置されている様。

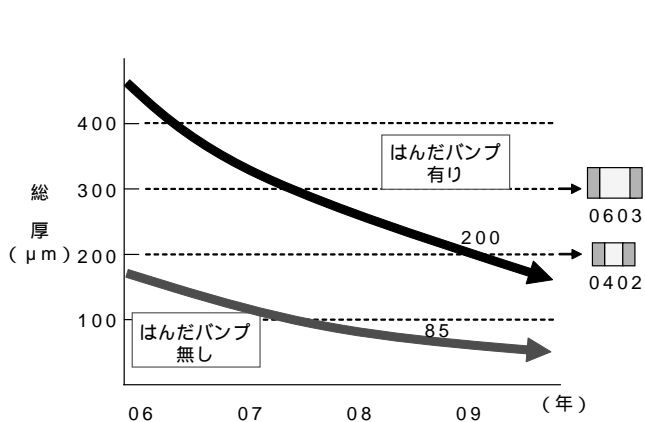


図 1 極薄型 WLP の開発ロードマップ

Fig. 1. Road map on development of ultra thin type WLP.

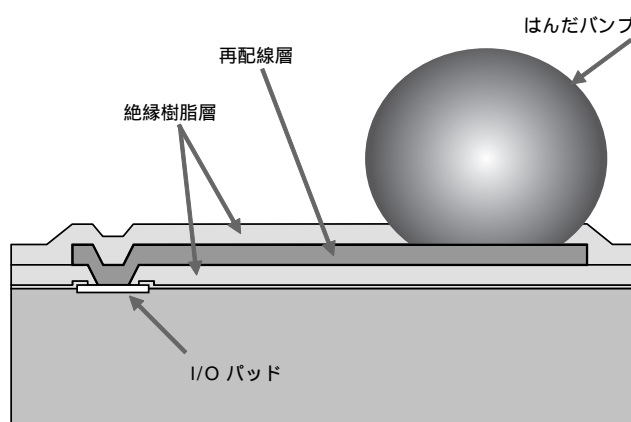


図 2 WLP の断面構造の模式図

Fig. 2. Schematic diagram of cross section structure of WLP.



図 3 極薄型 WLP の側面写真

Fig. 3. Side image of the ultra thin type WLP.

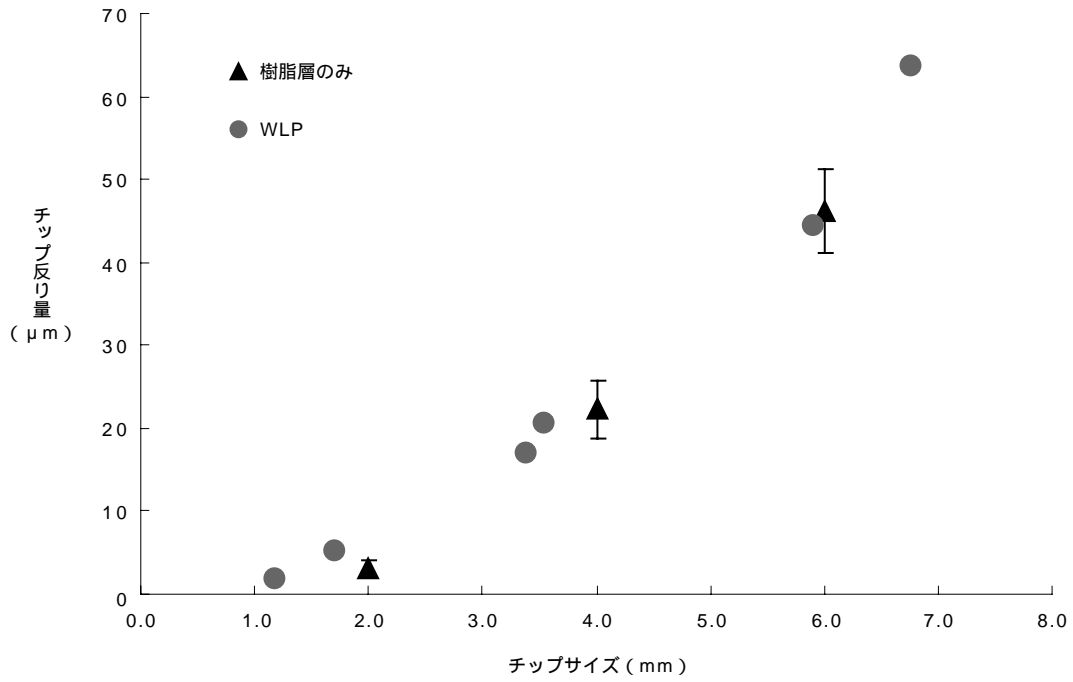


図4 チップサイズに対するチップの反り量の依存性
Fig. 4. Dependence of warpage on chip size.

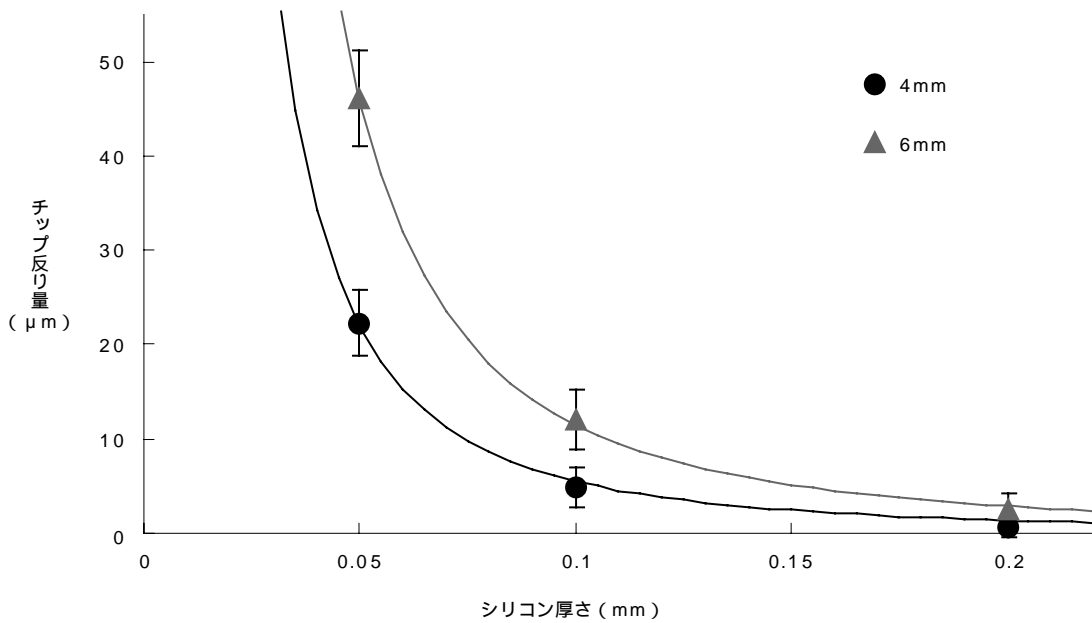


図5 シリコン厚さに対するチップの反り量の依存性
Fig. 5. Dependence of warpage on chip thickness.

ばならない．そのためには保護テープは粘着層が柔軟で、かつ適度な粘着力をもつことが望ましい．本開発では、粘着層として適度な弾性率と粘着力を持つ材料を採用した．BG加工後のウエハには自重および表面の材料の応力で反りが発生することから、保護テープの基材には剛直な材料を選択した．

図3に、今回開発した極薄型WLPの側面写真を示す．はんだバンプを形成したウエハを、シリコン厚さが50

μmになるまで研削して、総厚さ200 μm MAXを実現している．BGによるウエハの薄型化ではマイクロクラックの発生や結晶欠陥の増加などによりICの電気的特性に影響を及ぼす可能性があるが、シリコン厚さ50 μmまでは問題が無いことを確認した．

3. 極薄型 WLP の評価

3.1 基板実装の評価

WLP はシリコンを薄くするほど反りが大きくなる。反りが大きいと、WLP を基板実装したときにはんだバンプと基板接続パッドとの間に隙間が空いて、接続不良を起こす可能性がある。そこで、シリコンを薄くしたときにチップの反りに影響を及ぼす因子を明らかにするとともに、WLP のシリコン厚さと反り量の関係を調査した。さらに、WLP の反り量の温度依存性を評価した。WLP の反り量は光学的手段を用いて測定した。

図 4 に極薄型 WLP および樹脂層のみ形成したチップのチップサイズと反り量の関係を示す。チップはシリコン厚さ 50 μm の正方形とし、一辺の長さを横軸とした。WLP の樹脂層にはポリイミド (PI) などの硬化収縮を起こす材料を用いており、これがウエハに対する引張り応力を持つ。そこで両者を比較したところ反り量に大きな違いがなかった。このことから、WLP の反りはほとんどが樹脂層の影響であることがわかった。そのため、反りを減らすためには寸法変化が小さい樹脂を選定する必要がある。

図 5 は WLP のシリコン厚さと反り量の関係を示したものである。WLP はシリコンが薄くなるにつれて、反

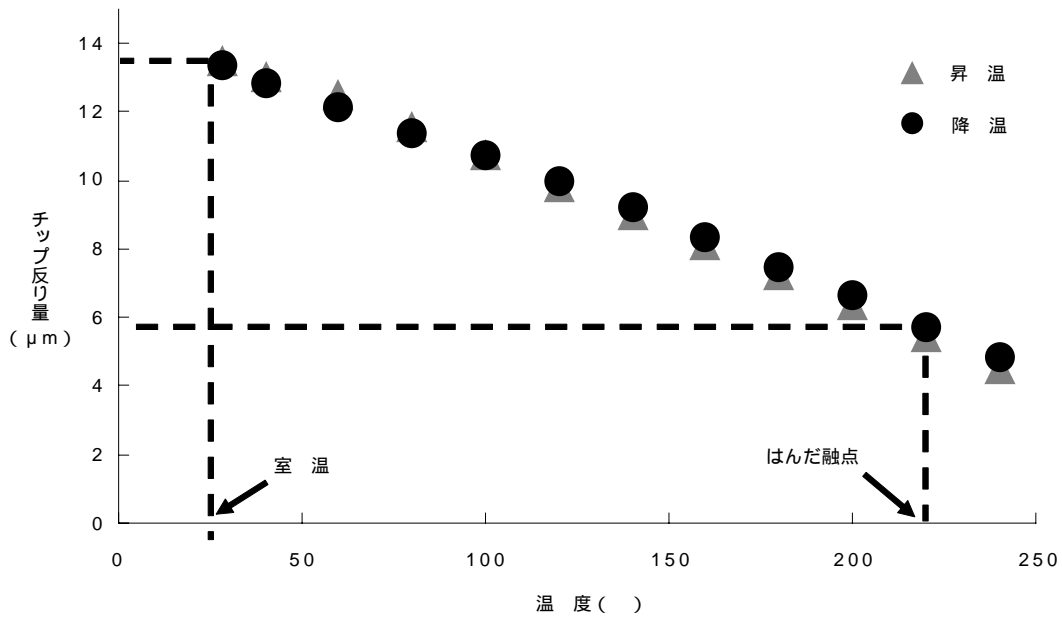


図 6 昇温時および降温時におけるチップの反り量の変化
Fig. 6. Change in warpage of chip while heating and cooling.

表 実装信頼性評価用チップの仕様
Table. Specification of chip for board level reliability test.

チップサイズ	4.0 mm			
バンプ数	8 × 8 = 64			
バンプピッチ	0.50 mm pitch			
パッド径	280 μm			
シリコン厚さ	50 μm	150 μm	250 μm	350 μm
総厚さMAX	200 μm	300 μm	400 μm	500 μm



図 7 基板実装した極薄型 WLP の断面写真
Fig. 7. Cross section image of the ultra-thin type WLP mounted on PWB.

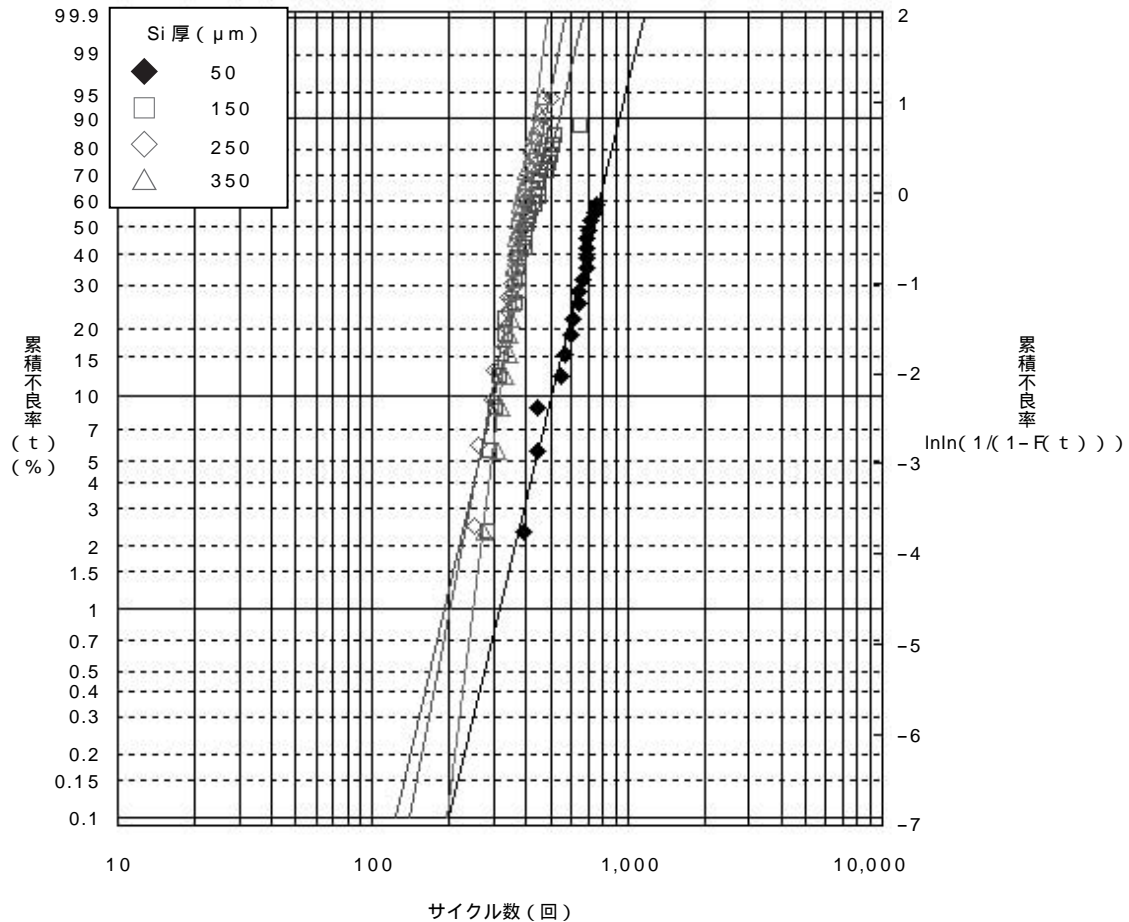


図8 温度サイクル試験結果
Fig. 8. Results of temperature cycling test.

り量が急激に大きくなることがわかった。薄膜が形成された基板の反り量は、理論的に式(1)で与えられる³⁾。

$$= \frac{3}{4} \cdot \left(\frac{1 - \nu}{E} \right) \cdot \frac{r^2 t}{d^2} \cdot \dots \cdot (1)$$

- ：基板の反り量 (m)
- ：膜応力 (Pa)
- E : ヤング率 (Pa)
- ：ポアソン比
- r : チップサイズ (m)
- t : 薄膜の厚さ (m)
- d : 基板の厚さ (m)

ここでは、薄膜を樹脂層、基板をシリコンとして考える。式(1)によれば、WLPの反り量はシリコン厚さの二乗に反比例する。実際、実測値と式(1)を用いたフィッティングカーブはよく一致した。この結果から、WLPがどの程度反るのかを、式(1)を用いて算出できることがわかった。

次に、温度とWLPの反り量の関係を図6に示す。

WLPの反り量は温度の上昇に対して単調減少であり、変曲点はみられなかった。また、鉛フリーはんだ (Sn-3Ag-0.5Cu) の融点である220℃付近では、反り量は室温のおよそ半分まで減少した。このことから、基板上にWLPを正常にマウントできれば、リフロの際にWLPと基板との接続不良が発生する可能性は低いと推測される。

そこで、チップサイズ4 mm × 4 mm、総厚さ200 μm MAXのWLPを基板実装した。図7はその断面写真である。WLPは室温で約25 μm反っていたが、チップマウンタとリフロ装置を用いて問題なく実装することができた。また、実装後のWLPは約13 μm反っており、鉛フリーはんだの融点温度近傍での反り量が維持されていることがわかった。

3.2 実装信頼性

極薄型WLPの実装信頼性を評価するため、温度サイクル試験を実施した。比較のため、総厚さ200 μm MAXの極薄型WLPに加え、バンプ高さは変えずシリコンを厚くすることで、総厚さを増やしたWLPについても評価を行った。表に試験に用いた評価用WLPの仕様を示す。

実装基板には厚さ 0.7 mm の FR-4 基板を用いた。配線はチップ - 基板間をダイジーチェーンで直列に接続されており、電気抵抗を連続的に測定することで故障を検出できるようにした。試験は - 25 /10 分 125 /10 分を 1 サイクルとし、ダイジーチェーンの電気抵抗値が 10 % 上昇した時点で故障と判定した。

図 8 に試験結果を示す。この結果から、総厚さ 200 μm の極薄型 WLP は、総厚さがより厚い WLP に比べて信頼性が向上していることがわかった。

WLP のようなエリアアレイ型のフリップチップ実装形態における主な故障モードは、チップ - 基板間の熱膨張差から生じる応力ではんだバンプにクラックが生じたことによる導通不良である。しかし、極薄型 WLP はシリコン部分が薄いため、温度変化に伴う基板の変形に追従してシリコンが湾曲することによって、はんだバンプに加わる応力が緩和され、実装信頼性が向上したと考えられる。

4. む す び

はんだバンプを有する構造で、業界最薄の極薄型 WLP を開発した。WLP を薄型化する方法として、はんだバンプ形成後に BG 加工を行う工法を選定した。WLP 表面の大きな凹凸を吸収できる表面保護テープを用い

て BG 加工を行うことで、シリコン厚さ 50 μm の薄型化を達成した。シリコンを薄くするほど樹脂層の引張応力によるチップの反りは大きくなる。本開発の WLP の場合、鉛フリーはんだ融点温度付近での反りは室温時の約半分となり、チップサイズ 4 mm x 4 mm、総厚さ 200 μm の極薄型 WLP を問題なく実装することができた。基板実装後の WLP に対して温度サイクル試験を実施し、極薄型 WLP は総厚さがより厚い WLP に比べて実装信頼性が向上することがわかった。これは、極薄型 WLP のシリコン部分が湾曲し、はんだバンプに加わる応力が緩和されたためであると考えられる。

本開発品は、基板内蔵技術、センサや SiP、TSV などと融合し、今後の電子機器や部品の小型化・薄型化によりいっそう寄与できるものと考えている。

参 考 文 献

- 1) 升本ほか:「ウエハレベル CSP」, フジクラ技報, 第 99 号, pp.77-80, 2000
- 2) 岡本ほか:「IC 内蔵基板」, フジクラ技報, 第 111 号, pp.54-58, 2006
- 3) 島田ほか: 磁性材料 物性・工学的特性と測定法, 講談社サイエンティフィック, p.108