# 全層ポリイミド多層配線板の信頼性

電子デバイス研究所　本　戸　孝　治[1]・岡　本　誠　裕[1]・奥　出　　聡[2]・中　尾　　知[3]
電子電装開発センター　藤　浪　秀　之[4]

# The Reliability of All Polyimide Multi Layer Wiring Board

T. Hondo,　M. Okamoto,　S. Okude,　O. Nakao,　and　H. Fujinami

電子機器の小型，薄型化，高性能化にともない，高密度で薄い配線板の開発が進められている．これら次世代の配線板の候補として，当社ではポリイミド多層配線板（All polyimide IVH Co-laminated：APIC）を開発した[1]．本配線板は従来のガラスエポキシの配線板と比べ，薄く（6層で300 μm以下），低誘電率，ハロゲンフリー，高難燃性，高耐マイグレーション性という特徴を有している．APICは配線層間の接続方式に特徴がある．すなわち，配線層間のビアがレーザ加工にて開口されたビアホールに特殊な導電性ペーストを充填されることで形成される．本報告では，APICの構造と信頼性の関係について述べる．−25 ℃/125 ℃の温度サイクル試験において，ビアを含む回路抵抗値にわずかな変動がみられ，変動幅は基板積層構造（層数と厚み，厚さ方向のビアの配置等）に依存することを明らかにした．この結果についてシミュレーションにより検証を行い，基板内部に熱的に発生する応力とビア抵抗値変動に関係があることを確認した．

With electronic equipments getting smaller, thinner, and higher in performance day-by-day, high-density wiring boards are increasingly required. Hence, many types of such wiring boards have been proposed. As a candidate of next-generation wiring boards, we have developed ‘All Polyimide IVH Co-laminated’(APIC) multi-layer wiring board[1], which is made of polyimide films and employs lump-sum lamination process. Compared with the conventional glass-epoxy boards, APIC has the following features: less thickness (less than 300 μm for 6 layers), low permittivity, free of halogen, high flame resistance and high migration-proof. The APIC is also characterized by its interconnection structure, that is, the interstitial via between metal layers is formed by filling a special electro-conductive paste into via holes fabricated by laser drilling[2]. In this paper, we report and discuss the relationship between the board's structure and the reliability of APIC. Through the temperature cycle test (−25 ℃/125 ℃), changes in circuit resistance including via were observed. We find that the degree of resistance change depends on the board's structure (number of layers and their thickness, position of via and so on). The result suggests that stress generated inside the wiring board affects the connection of interstitial via and yields the resistance change. This relation is also confirmed by numerical simulations.

## 1．ま　え　が　き

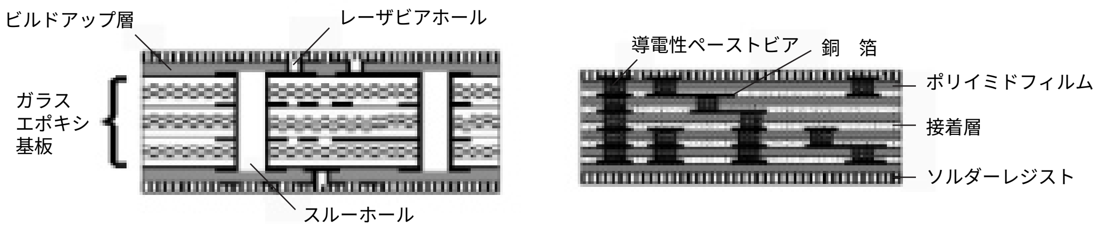
近年，携帯電話・デジタルカメラ・ノート型PCといった電子機器の小型，薄型化，高性能化にともない，薄く高密度な基板が必要不可欠となっている．現在は，上述の用途にビルドアップ多層配線板が採用されている．図１aにビルドアップ配線板の断面構造を示す．ビルドアップ配線板は，めっきスルーホール構造をもつ厚いガラスエポキシ基板上に，めっきによるレーザビアホール構造をもつビルドアップ層が形成されている．図１bに当社で開発した新規ポリイミド多層配線板（All polyimide IVH Co-laminated：APIC）を示す．APICは配線層間の接続方式に特徴がある．すなわち，配線層間のビアはレーザ加工にて開口されたビアホールに特殊な導電性ペーストが充填されることで形成される．ペーストビアの接続信頼性には種々の構造的な要因が影響をおよぼす．本報告では，APICにおけるビアの配置と信頼性の関係を調査した結果について述べる．

1　マイクロデバイス開発部
2　マイクロデバイス開発部グループ長
3　マイクロデバイス開発部部長
4　回路技術開発部主査

## 2．APICの概要

### 2．1　製造プロセス

APICの製造方法を図２に示す．まず，片面銅箔付きポリイミド基材（ＣＣＬ）の銅箔をエッチングして回路を形成する．次に回路とは反対側の面に接着層を形成し，その表面に保護フィルムを貼り合わせ，保護フィルム側からレーザ光を照射することでビアホールを開口する．そして，印刷法により導電性ペーストをビアホール内に充填し，保護フィルムを剥離することで保護フィルム厚分の導電性ペーストによる突起が形成される．この時点で導電性ペーストはまだ未硬化の状態である．検査が完




（a）ビルドアップ基板　　（b）APIC

**図 1**　基板構造
Fig. 1. Structures of multi layer board.

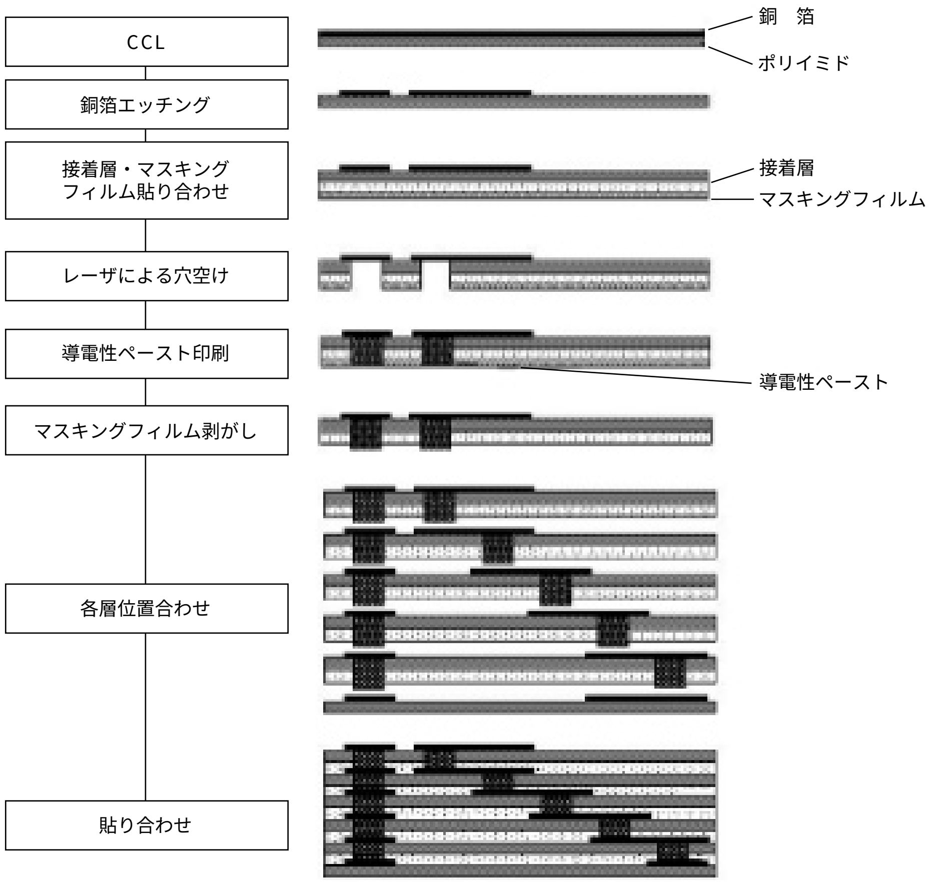
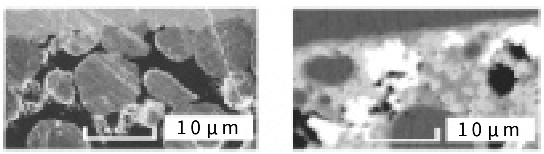



**図 2**　APIC の製造方法
Fig. 2. Process flow of APIC.

了し良品と判定された各配線層を，位置合わせをほどこして積層し，熱圧着することで，全配線層一括の貼り合わせと導電性ペーストの硬化を同時に実施する．新規導電性ペーストは，銅箔と金属粒子が加熱によって金属結合するものを適用しており，この材料によって，接続信頼性の高い層間接続が得られる．




（a）従　来　　（b）新　規

**図 3**　APIC のペーストビア断面 SEM 像
Fig. 3. SEM images of cross-sectional view of vias.

### 2．2　導電性ペースト

APIC は独自の接続方式を採用している．配線層間のビアは，レーザ加工にて開口されたビアホールに特殊な導電性ペーストを充填することで形成される．図 3 に従来および新規のペーストビアの断面 SEM 像を示す．従来使用してきたペーストは，金属フィラーとエポキシ樹脂からなっている．同ペーストではプレス時に銅箔とフィラーおよびフィラー同士間が物理的に接触することで電気的に接続される．この物理的接続と比較してより高い信頼性を得るため，当社では新規導電性ペーストを用いることにより接続信頼性を向上させることを目的とした検討をおこなった．新規導電性ペーストは，銅箔と金属粒子が加熱によって金属結合するものを適用しており，その結果，接続信頼性の高い層間接続が得られた[2)]．

### 2．3　APIC の特徴

APIC には，次に示す特徴があげられる．

Ⅰ　全層 IVH 構造を採用していること

全層 IVH 構造では，どの層においてもビアを任意の位置に配置することが可能である．

スルーホールやレーザビアホールでは隣接する層で回路の配置に制約ができる．特にレーザビアホールではビアオンビアやパッドオンビアの形成が不可能である．

Ⅱ　一括積層法を採用していること

各層を積み重ねるビルドアップ方式に比べ，低コスト，短納期，高歩留まりといった利点がある．めっきを用いず，多層板の各層を構成する基材は CCL＊に回路形成をおこなってから多層化するので回路の微細化が容易である．

Ⅲ　全層にポリイミドフィルムを採用していること

ビルドアップ方式に比べ超薄肉化が可能である．また，どの層からもフレキシブルな回路を引き出すことが可能である．

＊ CCL；Copper Clad Laminate（銅貼り積層板）

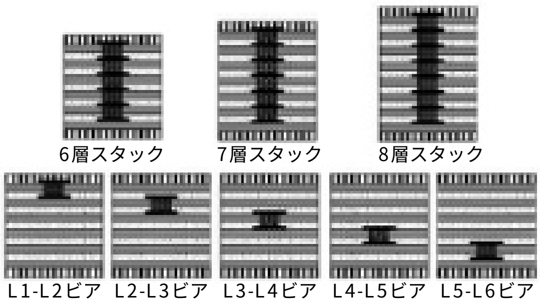



**図 4**　評価サンプルの構造
（スタックビア構造とスタガードビア構造）
Fig. 4. Structures of APIC test boards.

## 3．実　　験

APIC のビアの配置と信頼性の関係を調査するため以下のとおりに実験を行った．

試験に用いたサンプルは，図 4 に示すとおり，ビアを積み重ねたスタックビアとビアが重ならないように単独に配置したスタガードビアの 2 種類の構造の多層板で，配線層数は 6 から 8 層とした．それぞれの構造の多層板には，ポリイミド 20 µm，接着剤 25 µm，ランド径 300 µm，ビア径 100 µmのビアを有する評価用の回路を形成した．ビアは 1 個ずつもしくはスタックビア 1 組ずつを 4 端子法にて測定した．試験条件は吸湿リフロー試験 JEDEC レベル 3 の前処理をほどこし，その後，－25 ℃ 9 分・常温 1 分・125 ℃ 9 分・常温 1 分を 1 サイクルとした 1000 回の熱衝撃試験を実施することとした．それぞれの試験前後の抵抗値を測定し，ビア配置に対する抵抗値の依存性を評価した．抵抗値はアドバンテスト社製デジタルマルチメータ R-6551 を用いて測定し，印加電流は 1　mA とした．

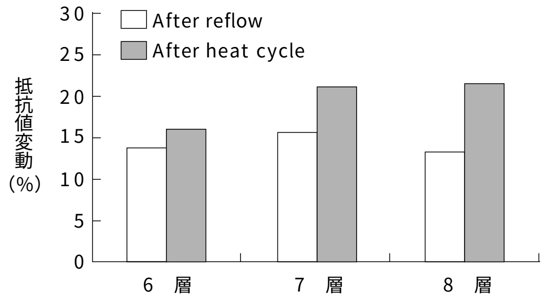



**図 5**　スタックビア層数依存性
Fig. 5. Dependence of resistance on number of layer.

## 4．結　　果

### 4．1　スタックビア

図 5 にスタックビアの抵抗値変動の層数依存性を示す．結果は，400 箇所のビアで測定した値の平均値となっている．吸湿リフロー試験では抵抗値変動に層数依存性は見られないが，熱衝撃試験では層数が多いほど抵抗値が上昇することがわかった．さらに 6 層スタック構造については，図 6 に示すとおり各層間のビアの抵抗値の挙動を直接測定した．その結果，同じスタックビア中でも配置により抵抗値および抵抗値変動が異なることがわかった．特に表層にある L1 － L2 層間に配置されたビアは，その他の層間にあるビアよりも高抵抗で抵抗値変動の幅も最も大きかった．内層の L3 － L4 層間に配置されたビアは，その他の層間にあるビアよりも低抵抗で抵抗値変動の幅も最も小さかった．

### 4．2　スタガードビア

図 7 に L1 － L2 ～ L5 － L6 の各層間を単独で接続しているスタガードビア構造についての各層間のビアの抵抗値の挙動を示す．図 6 と比較し，単独で存在するビアはスタックビアよりも高い抵抗値を示すことがわかった．スタガードビアでも，配置により抵抗値変動の挙動は異なり，スタックビアの場合と同様に内層の L3 － L4 層間に配置されたビアは，その他の層間にあるビアよりも低抵抗で抵抗値変動の幅も小さいことがわかった．

## 5．シミュレーション

有限要素法により図 4 に示した各構造において熱衝撃試験時に発生する応力について解析した．本解析には解析ソフトウェアとして ANSYS　Mechanical を使用した．解析条件は表 1 のとおりで試験温度を 125 ℃とした．

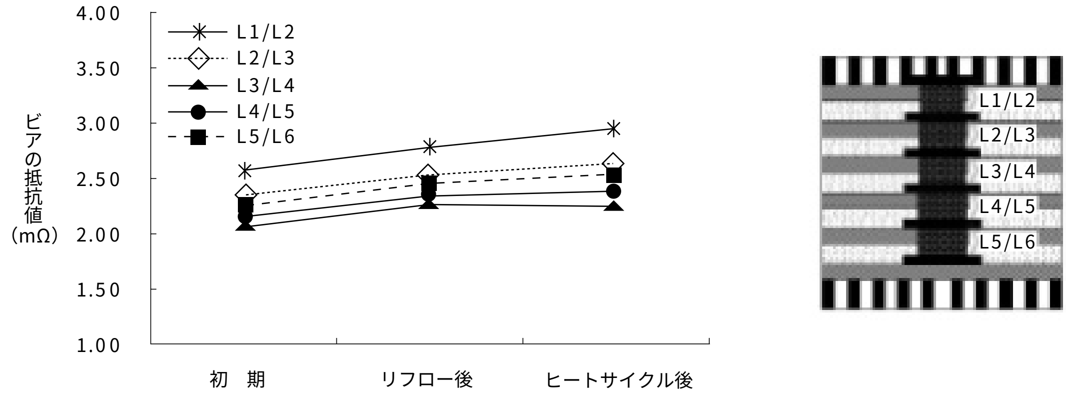



**図 6**　6 層スタック構造依存性
Fig. 6. Changes of resistances at each position in stacked vias.

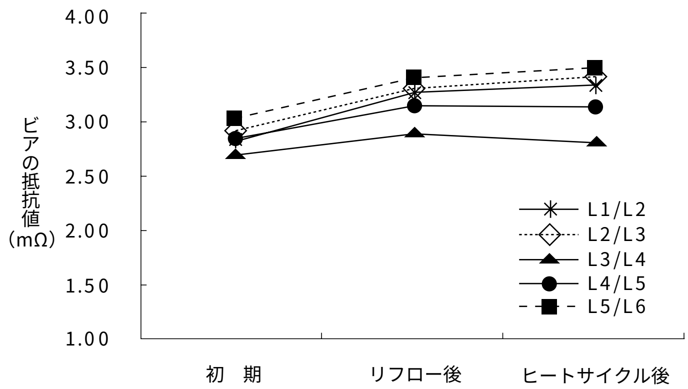



**図 7**　スタガードビアの構造依存性
Fig. 7. Changes of resistances on an arrangement of via in staggered via structure.

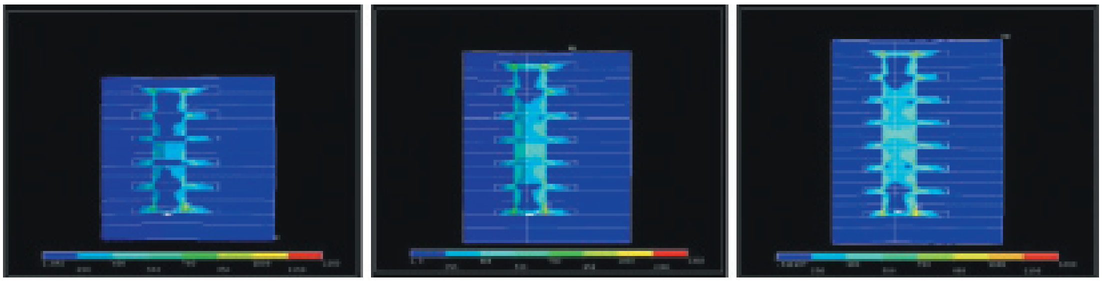


**図 8**　スタックビアの応力分布
Fig. 8. Calculated stress distribution in stacked vias.

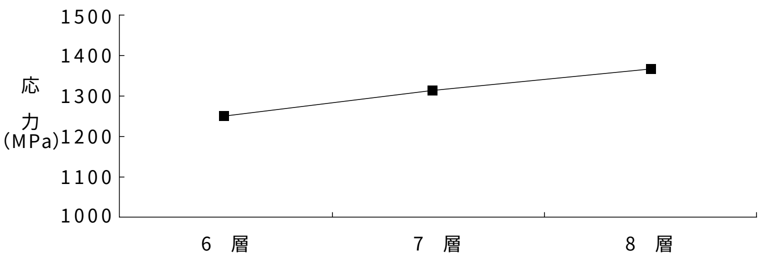



**図 9**　応力解析結果
Fig. 9. Calculated stress dependence on number of layer.

**表 1**　材料パラメータ
Table.　Material parameters.

| 材　料 | CTE（ppm） X | Y | Z | ヤング率 ×$10^9$ (Pa) | ポアソン比 |
|---|---|---|---|---|---|
| 銅 | 16.8 | 16.8 | 16.8 | 130 | 0.343 |
| ポリイミド | 22 | 22 | 116 | 7.5 | 0.3 |
| 導電性ペースト | 20 | 20 | 20 | 70 | 0.3 |
| 接着層 | 122 | 122 | 122 | 3.5 | 0.3 |
| ソルダレジスト | 55 | 55 | 55 | 2.8 | 0.3 |

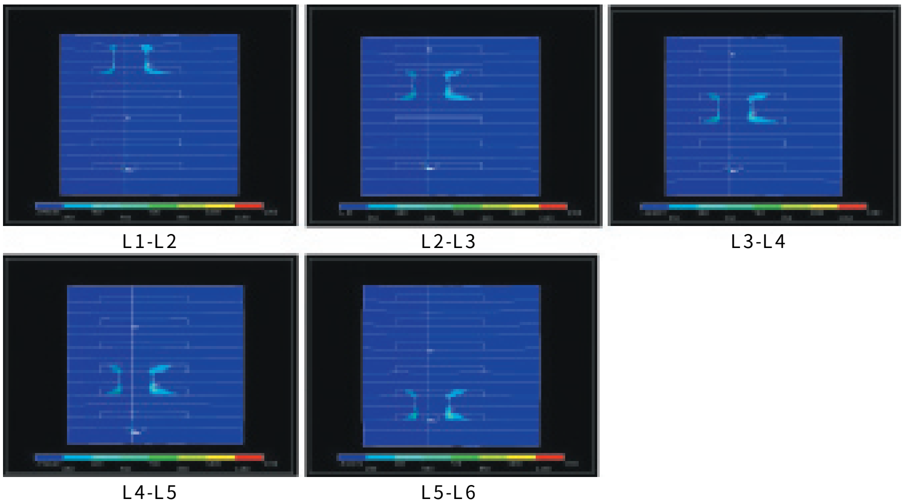



**図 10**　スタガードビアの応力分布
Fig. 10. Calculated stress distribution in staggered vias.

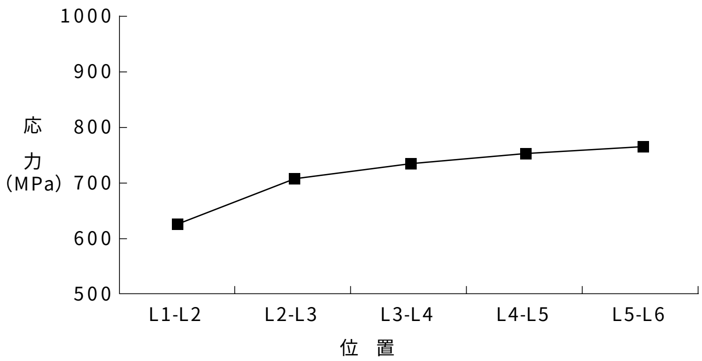



**図 11**　応力解析結果
Fig. 11. Calculated stress dependence on via position in staggered arrangement.

### 5．1　スタックビア

図５に示した測定結果のとおり熱衝撃試験後には層数が多いほど抵抗値が上昇する．これは図８および図９の応力解析結果から，層数が多くなるほど加熱時の応力が増大してビアの劣化が進行し，それにともない抵抗値も上昇したと説明される．６層スタック構造については，表層にある L1 − L2 層間に配置されたビアが，その他の層間にあるビアよりも高抵抗で抵抗値変動の幅も大きいことが確認されている．これについては一括積層プロセス特有の基板製造時の条件の影響があると推察される．

### 5．2　スタガードビア

図７のとおりスタガードビア構造はスタックビアに比較し抵抗値変動が小さい．これは図 10 および図 11 の応力解析結果を図８および図９と比較してわかるように，スタガードビアはスタックビアよりも加熱時の応力が約６割と小さいため，ビアの劣化が進まなかったものと推察される．

## 6．む　す　び

当社では全層ポリイミド多層配線板“ APIC ”の構造と信頼性間の関係性について，ビア抵抗値の変動が基板積層構造に依存することを明らかにした．この結果についてシミュレーションにより検証を行い，基板内部に熱的に発生する応力とビア抵抗値変動に関係があることを確認した．本検討は，APIC のデザインルールの裏付けとなるとともに，信頼性向上に向けた次のステップの課題を提供するための第１歩と考えている．

## 参　考　文　献

1）S. Ito, et al. : Proceedings of 16th JIEP Annual Meeting, Yokohama, Mar. 2002, pp.31-32
2）M. Okamoto, et al. : Proceedings of 19th JIEP Annual Meeting, Tokyo, Mar. 2005, pp.125-126