

シリコン基板へ形成した高アスペクト比貫通配線

電子デバイス研究所 末益 龍夫・糸井 和久・山本 敏
滝沢 功^{*1}

High Aspect Ratio Through-hole Interconnections in Silicon Substrates

T. Suemasu, K. Itoi, S. Yamamoto & T. Takizawa

厚いシリコン基板の表裏を導通する高アスペクト比の貫通配線を形成するための要素技術を開発した。この貫通配線は、半導体デバイスの3次元積層あるいはMicro Optical Electro-Mechanical System (MOEMS) デバイスのパッケージングに応用が期待される。光アシスト電解エッチング法および熔融金属吸引法を用いて、厚さ500 μm 前後のシリコン基板へ金属を充填した貫通孔を試作した。貫通孔の直径は15 μm でアスペクト比は35、貫通孔の形成密度は最大500本/cm²、絶縁耐圧は500V以上であった。またKr-85を用いたラジオアイソトープリークテストの結果、貫通配線でのリークレートは検出限界以下 ($1 \times 10^{-15} \text{ Pa} \cdot \text{m}^3/\text{s}$) であった。

We have developed key technologies to form conductive interconnections through a thick silicon substrate, which are potentially applied for 3D stacking of semiconductor devices or packaging of Micro Optical Electro-Mechanical System (MOEMS) devices. In this paper, we demonstrate to form metal filled Through-Holes (THs) in thick Silicon (Si) substrates ($t \sim 500 \mu\text{m}$) mainly using Photo Assisted Electro-Chemical Etching (PAECE) and Molten Metal Suctioned Method (MMSM). The THs had 15 μm in the diameter and the aspect ratio of 35. And the maximum density was 500 THs/cm². The dielectric breakdown voltage of the THs was more than 500 V. In result of a radioisotope leak test using Kr-85, the leakage rate of THs between the front and the back of the substrate was lower than the limit of detection ($1 \times 10^{-15} \text{ Pa} \cdot \text{m}^3/\text{s}$)

1. ま え が き

近年、CPUやメモリ、センサなど半導体デバイスの集積化、小型化は目覚しく進歩した。またMEMS技術の発展により、マイクロミラーに代表される光スイッチや光導波路など、光デバイスと半導体デバイスが複合化する新しい分野の製品が現実のものとなりつつある。このような背景のもと、デバイスのさらなる高速・高機能化、小型・軽量化を目指し、シリコン基板を3次元方向に積層した3次元積層素子によるシステムの高密度実装が検討されている¹⁾。従来のワイヤボンディングを使った積層実装では、積層できる素子の形状や数に制限がある。一方、インタポーザを用いた薄型パッケージを積層した後、個々のパッケージの外部リードを接続する構造では、積層数の制限はなくなるが逆に素子間の配線長が長くなってしま²⁾。しかし、シリコン基板を貫通して接続すること、すなわち貫通配線が形成できれば、これらの課題を解決できる。図1は3次元積層素子の概念図である。機能素子と同材質であるシリコンを3次元配線の基板材料に用いることは、熱収縮による歪を小さくできるだけでな

*1 グループ長

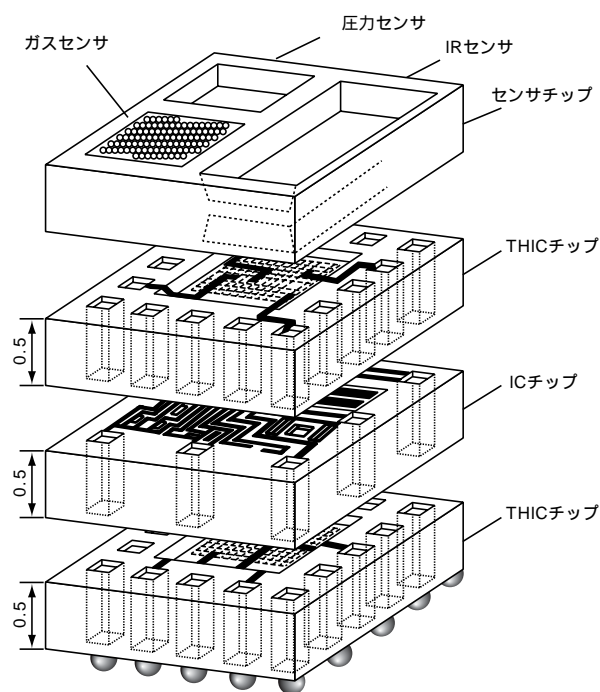


図1 3次元積層素子の概念図
Schematic view of 3D stacking devices

く、優れた熱伝導性により、発熱の激しい素子（例えばCPUやレーザーダイオードなど）の実装にも優位である。また、単一の積層しないシリコンデバイス、例えばイメージセンサのように検出部の有効面積をできるだけ大きくしたい場合にも、貫通配線によりチップの裏面に端子を取り出すことでパッケージサイズを大幅に縮小できる。

以上のような素子構造を実現するため、シリコン基板に表裏貫通配線を形成する下記の要素技術を開発した。

- (1) 光アシスト電解エッチング法：シリコン基板へ高密度・高アスペクト比の貫通孔を作製する。
- (2) 熔融金属吸引法：真空による気圧差を利用して一度に多数の貫通孔に熔融金属を充填する。

本論文では、これらの技術を用いてシリコン基板へ貫通配線を形成して得られた知見と、その可能性について述べる。

2. 貫通配線を形成するための要素技術

2.1 貫通孔の形成

2.1.1 光アシスト電解エッチング法 (PAECE)⁴⁾

光アシスト電解エッチング法 (Photo Assisted Electro-Chemical Etching) は、高アスペクト比のエッチングが可能なウェットプロセスである。図2にPAECEの原理を示す。n型のシリコン基板の表面側にフッ酸水溶液を接触させ、裏面からはキセノンランプで光を照射する。光路の途中に370nm～750nmのバンドパスフィルタを置いた。シリコン基板にはあらかじめ異方性エッチングで、孔を開けたい所定の場所にV溝を形成しておく。また、シリコン基板を陽極、フッ酸水溶液中の白金板を陰極にして、その間に電圧を印加しておく。シリコン基板の裏面に光を照射すると少数担体である正孔が発生し、その正孔は電界によりシリコン基板表面に向かって移動する。シリコン基板表面のV溝の鋭角部に電界が集中しているため、正孔はそこに収束する。そこでは式(1)のような化学反応が起こり、その部分だけがエッチングされ、エッチングされた先端にまた電界が集中するので、エッチングが

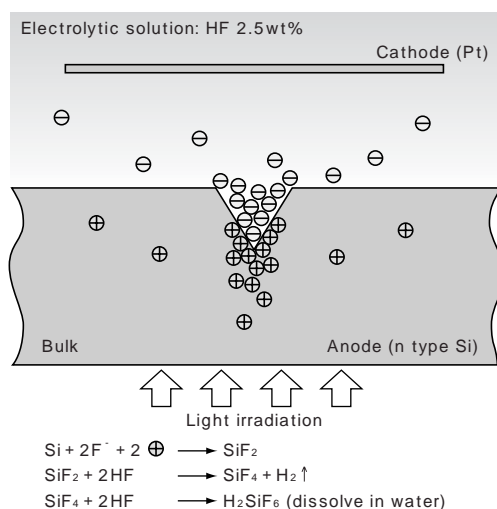
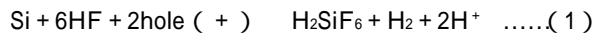


図2 PAECEの原理
Principle of PAECE

下方に進み細孔が形成される。



PAECEの実験で用いた条件の一例を示す。

- ・ n型シリコン基板
厚さ：525 μm (両面ミラー仕上げ), 結晶方位：(100), 比抵抗：1.0～2.0 Ω·cm
- ・ 電解液：2.5wt%フッ酸水溶液 + 界面活性剤C₂H₅OH 10wt%
- ・ 電解液温度：45～50
- ・ 電流密度：6～12mA/cm² (電圧0.5～2.0V)
- ・ 光照度：5～100mW/cm²

できあがった貫通孔の断面写真を図3に示す。孔径は13 μm, 基板の厚さは450 μmでアスペクト比は39である。また、このときの孔の形成速度は約1.0 μm/minであった。

2.1.2 孔質の改善

一方、PAECEを用いた貫通孔形成では、貫通孔を形成したい[100]方向だけでなく、それと垂直な[001]および[010]方向にも反応が進み、ある一定の深さの孔“サイ

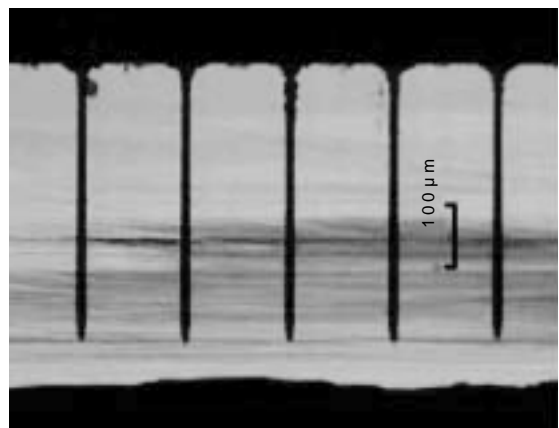


図3 PAECEにより形成した貫通孔の断面
Cross sectional view of through-holes in silicon substrate by PAECE

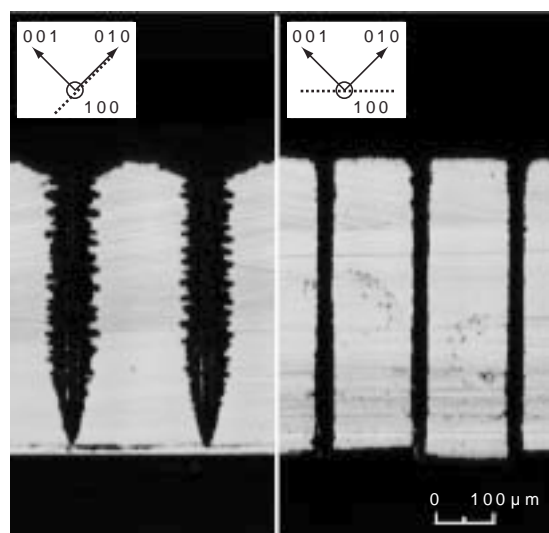


図4 PAECEにより形成した貫通孔の異なる切断面の観察；
点線は切断面を示す。
Cross sectional view of through-holes in silicon substrate by PAECE; broken lines mean cutting planes

ドブランチ”が形成される．図4は，PAECEにより製作した貫通孔を同じサンプルについて切断断面の方向を変えて観察した例である．サイドブランチを低減させることを目的として，下記の条件を変えてPAECEを行った．

- ・比抵抗の大きな（基板の不純物濃度が低い）シリコン基板を使用する．
- ・貫通孔ピッチを狭くする．

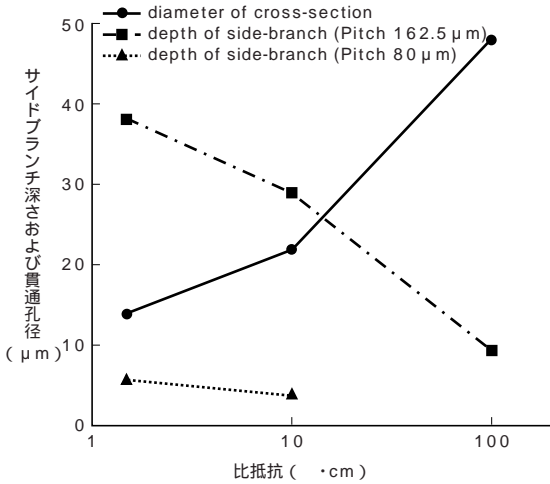


図5 異なる貫通孔ピッチにおけるシリコン基板の比抵抗とサイドブランチ深さおよび貫通孔径の関係
Depth of 'side-branch' and diameter of through-holes as function of Si substrate resistivity at two different through-holes pitches

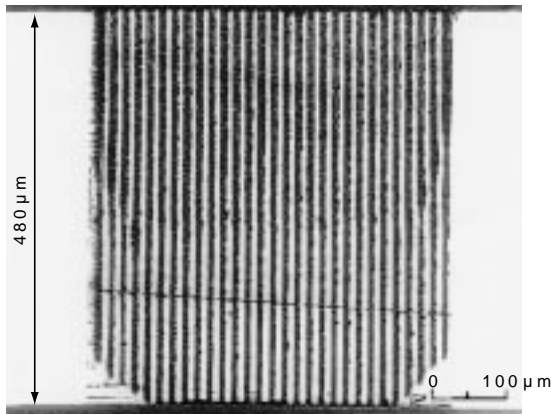


図6 PAECEにより形成した狭ピッチの貫通孔の断面
Cross sectional view of through-holes at narrow pitches in silicon substrate by PAECE

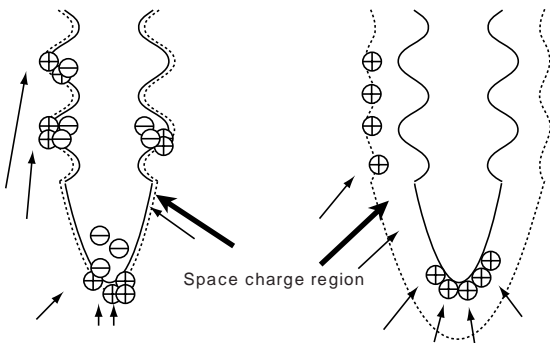


図7 PAECEにおける空乏層の広がり
Space charge region during PAECE

図5のグラフは，サイドブランチの深さおよび開いた貫通孔の孔径が基板の比抵抗にともないどのように変化するかを示している．また，貫通孔のピッチが狭くなったときのサイドブランチの深さも示している．比抵抗の大きい基板を用いると孔径が大きくなり，サイドブランチの深さは浅くなる．80～120 ohm-cmの比抵抗の基板を用いると，1.0～2.0 ohm-cmの比抵抗の基板を用いたときと比べ，孔径が3倍になり，サイドブランチは75%低減した．また，貫通孔のピッチを80 micrometersにすると，162.5 micrometersのときと比べ，サイドブランチが87%低減した．さらにピッチを狭めた例を図6に示す．孔径は4.4 micrometers，基板の厚さは480 micrometersでアスペクト比は109である．この例ではサイドブランチはほとんどない．貫通孔の孔密度は3,500本/mm²で，孔の傾きは法線に対し3度以下であった．

基板の比抵抗がサイドブランチの深さと開いた貫通孔の孔径に関係があるのは，電圧を印加した際，シリコン基板が電解液に触れ，その近傍に生ずる空乏層の幅がエッチングに影響していると考えている．空乏層の幅dは，

$$d = (2 \cdot \epsilon \cdot (V_D - V/eN_D))^{1/2} \dots\dots\dots (2)$$

N_D : 不純物濃度

ε : 誘電率

V_D : 拡散電位

V : 電解液側を +Vにする順方向バイアス

で定義される⁵⁾．印加する電圧が一定であると空乏層の幅は，比抵抗80～120 ohm-cmの基板では，1.0～2.0 ohm-cmの比抵抗の基板に比べ10倍広がる．図7に示すように，空乏層の幅が狭いと貫通孔の側壁の突起部へ正孔が収束し，エッチングが進みやすくなる．一方，空乏層が広がると側壁の形状の影響が小さくなり，エッチングが一様に起こりやすくなるため，孔径が広がりサイドブランチも低減する．また，貫通孔のピッチが狭くなると，正孔が貫通孔の下端に集中しやすくなるため，サイドブランチが抑えられる．

2.2 熱酸化による絶縁層の形成

貫通孔形成後に，基板表面および貫通孔の側壁に絶縁層を形成するため，熱酸化を行った．1,100 °Cのスチーム酸化を3時間行い，1.2 micrometersの厚さの酸化膜を形成できた．膜厚は，断面研磨をしてSEM観察により求めた．

しかしながら，シリコン基板へすでに素子が造り込まれた後で貫通孔を形成する場合，プロセス温度は通常400 °Cを超えてはならない．プラズマCVD等により低温酸化膜を形成することも考えられるが，アスペクト比が高くなると反応ガスが孔深くまで到達しないため採用できない．したがって，高アスペクト比の貫通孔に低温で絶縁層を形成できる技術の開発が今後期待される．

2.3 熔融金属吸引法 (MMSM) ⁶⁾ による導体充填

次に貫通孔に金属を埋め戻して貫通電極 (配線) を形成する，熔融金属吸引法 (Molten Metal Suctioned Method) について述べる．この方法は，真空による気圧差を利用して，一度に多数の細孔に熔融した金属を充填するものである．このため貫通孔に埋め戻す金属として

は、(1) 配線抵抗を低くするため金属の固有抵抗が低いこと、(2) シリコン基板に造り込まれた機能を損なわないために金属の融点は400以下であること、(3) 埋め戻し作業を真空中で行うため融点での蒸気圧が低いこと、(4) 吸引された金属が降温時収縮してポイドができたり孔から抜け落ちたりしないように、凝固収縮率が小さいこと、等が選定条件になる。具体的には、インジウム(融点156)、スズ(融点232)および金スズ合金(融点283)を選択した。

図8に溶融金属吸引法のプロセスフローを示す。貫通孔を形成したシリコン基板の片面を封止した後、 5.0×10^{-3} Paの真空中で330(スズの場合)の溶融金属槽の中に基板を浸漬する。浸漬1分後にN₂ガスを装置内に導入し大気圧に戻した。このとき、貫通孔の中は真空で外は大気圧となり、その圧力差によって、溶融金属が孔の中に押し込まれる。この状態で1分間放置した後、溶融金属槽から

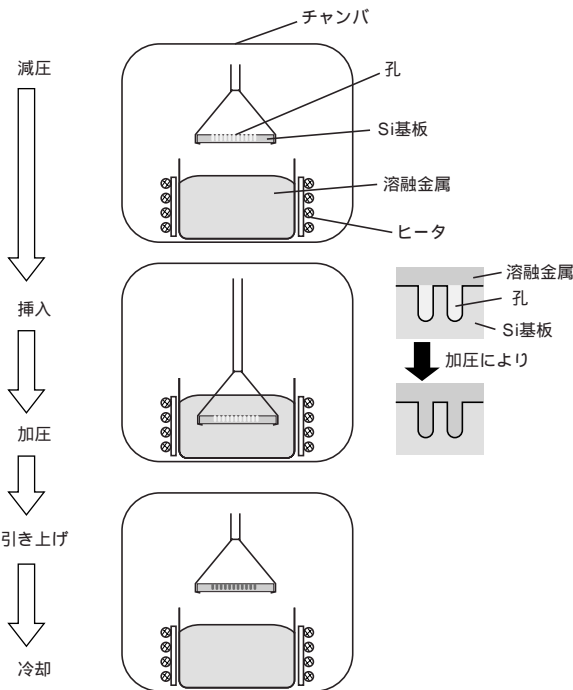


図8 MMSMのプロセスフロー
Process flow of MMSM

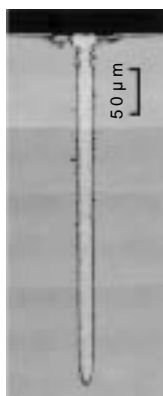


図9 PAECEおよびMMSMにより形成した貫通配線の断面
Cross sectional view of a through-hole interconnection in a silicon substrate by PAECE and MMSM

基板を引き上げ、試料表面に残っている金属が固化しているのを確かめてから治具より基板を取り外した。MMSMにより高アスペクト比の細孔に金属を埋め戻した例を図9と図10に示す。図9の例では、PAECEにより形成した孔径12μm、深さ380μm(アスペクト比32)の細孔にスズを埋め戻した。ポイドも見られず良好に充填できている。図10の例では、DRIE(Deep Reactive Ion Etching)で形成した孔径20μm、深さ370μm(アスペクト比19)の貫通孔にスズを埋め戻した。

3. 貫通配線の特性評価

光クロスコネクタなどに使用されるマイクロミラーのような静電駆動するデバイスでは、電極間に200V前後の高電圧を印加する。そのような用途に貫通配線を応用する場合、個々の貫通配線間には高い絶縁性が要求され、なおかつ湿気などを遮断する目的で貫通配線部の気密性も重要である。

3.1 絶縁耐圧

図10のサンプルにおいて、形成した貫通配線とシリコン基板間の絶縁耐圧を測定した。孔壁の絶縁層は、熱酸化膜1.2μmである。測定の結果、絶縁耐圧が500V以上あることを確認した。

3.2 貫通配線の気密性

図11に示すサンプルを製作し、MIL-STD-883Eに基づき

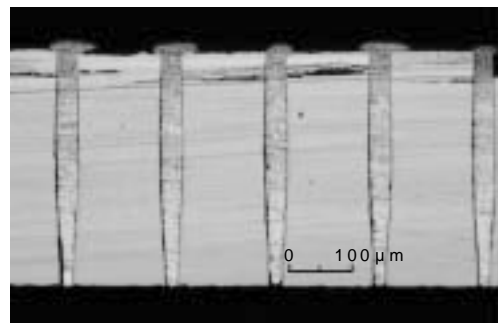


図10 DRIEおよびMMSMにより形成した貫通配線の断面
Cross sectional view of through-hole interconnections in a silicon substrate by DRIE and MMSM

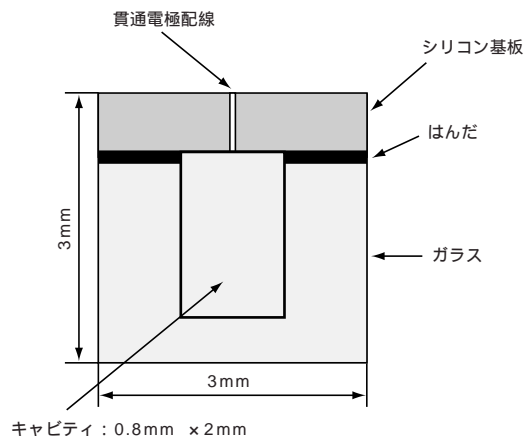


図11 ラジオアイソトープリークテスト用試料の断面図
Schematic cross sectional illustration of a specimen for radioisotope leak test

ラジオアイソトープによる貫通配線部のリーク試験を行った。具体的には、2気圧のKr-85/N₂混合ガスにサンプルを15時間さらした後、シンチレーションカウンタでサンプルのキャビティ内に浸入したKr-85を計測した。その結果、計測最小分解能以下のリーク量 (1×10^{-15} Pa·m³/s) 以下を示し、製作した貫通配線が高い気密性を有していることを確認した。

4. む す び

CPUやメモリモジュール等の3次元積層は、積層後の全体厚さをできるだけ薄く抑えたいため、シリコン基板をバックグラインドする技術が検討され実用化されている。したがって、シリコン基板が薄くなったことにより貫通配線のアスペクト比は小さくなる傾向にある。一方、イメージセンサやマイクロミラー等のMOEMSの静電電極基板、あるいは高速CPUモジュールのシリコンインタポーザ等では、高アスペクト比の貫通配線が求められる。当社では、これらの応用を念頭において、貫通配線を形成するための要素技術として、光アシスト電解エッチング法および熔融金属吸引法を開発し、実用化を検証する

ための試作を行った。その結果、試作した貫通電極配線のシリコン基板に対する絶縁耐圧は500V以上であり、ラジオアイソトープによるリーク試験の結果、 1×10^{-15} Pa·m³/s以下の優れた気密性を有することを確認した。当社が開発したこれらの技術は、極めて高いアスペクト比の貫通配線をシリコン基板に形成できることが特長である。今後は、貫通配線の長期信頼性を評価し、実用化に向けた量産技術の検討を行う予定である。

参 考 文 献

- 1) 盆小原 学：今後の実装技術の展開，エレクトロニクス実装学会誌, Vol.4, No.3, p.185, 2001
- 2) S. Denda, T. Otake and Y. Tezuka: 2001 ICEP Proceedings, p.16, 2001
- 3) A. Satoh: Jpn. J. Appl. Phys., 39, p.378, 2000
- 4) A. Satoh: Jpn. J. Appl. Phys., 39, p.1612, 2000
- 5) 御子柴宣夫：半導体の物理, p.209, 1991, 培風館
- 6) A. Satoh, et al.: Proc. of The Sixth International Micromachine Symposium, p.179, 2000