

オールポリイミドICパッケージ基板

電子電装開発センター 伊藤 彰 二*1・岸原 亮 一*1
電子デバイス研究所 岡本 誠 裕*2

All Polyimide Multi-layer IC Substrate

S. Ito, R. Kishihara & M. Okamoto

全層ポリイミドフィルムからなる多層ICパッケージ基板を開発した。ガラスエポキシをコアとする従来のパッケージ基板に比べて大幅に厚さを低減し、多ピンのICやSIPの小型・軽量化に最適な基板となっている。本基板の特徴は導電性ペーストをビアに用いた一括積層法を採用していることである。特にビア形成プロセスには詳細な検討を加えることにより、良好な電気特性と高い信頼性を得ることができた。

All polyimide multi-layer IC substrate is introduced. As this substrate is much thinner than current substrate made by glass-epoxy, it will be the most suitable to reduce the size of package. The significant feature of it is laminating in one batch using conductive paste at IVH portion. Especially, by investigating in detail into the process of forming via hole, it becomes possible to reduce resistance and to put high reliability.

1. ま え が き

近年、携帯電話やデジタルカメラ、デジタルビデオ、PDAなど携帯型電子機器は小型軽量化の一途をたどっており、それと同時に、これら限られたスペース内での高機能化の進展も著しい。このため、機器内における回路の高密度化に加え、搭載されるICには多ピン化に対応し、かつ、薄型のパッケージングが要求されている。

従来、多ピンICに用いられるパッケージ基板にはガラスエポキシを絶縁基材として使用することが常であったが、回路の高密度化、薄型化といった要求に対して限界が見えてきている。

当社では、ポリイミドフィルムを絶縁層とするフレキシブルプリント回路（FPC）の加工技術を応用し、一括積層法によるフィルム基板の多層化技術を開発してきた¹⁾²⁾。この技術をICパッケージ基板に適用することにより、ガラスエポキシに比べて大きく薄型化を実現した、ポリイミドフィルム一括積層法による多層ICパッケージ基板を開発した。

2. ポリイミドフィルムによる多層ICパッケージ基板

2.1 構造

従来のICパッケージ基板の断面構造を図1に示す。内層にはスルーホール付きガラスエポキシ基板を用い、その表層にビルドアップ法を用いた高精細回路が形成されている。

今回試作したBGAタイプのICパッケージ基板は、上述

のビルドアップ基板と同等のピン数を有しながら、基板の総厚を40%に低減できている。その表裏面写真と断面写真をそれぞれ図2 (a) (b) (c) に示す。

本基板は、断面写真に示すように銅配線回路を3層とし、層間をIVH（Inner Via Hole）で接続した構造となっている。主要な寸法と配線ルールを表1にまとめた。

層間導通のためのIVHは導電性ペーストによって形成されており、本基板の特徴的な技術となっている。

2.2 製造方法

ICパッケージ基板の製造フローを図3に示す。まず、片面銅箔付きポリイミド基材（CCL）の銅箔面に、サブトラクティブ法により回路を形成した。本試作に用いた材料はポリイミド絶縁層厚38 μ mの接着材レス2層CCLである。ついで、CCLの銅箔とは反対側の面に層間接着材をラミネートした。ついで、UV-YAGレーザ照射により絶縁層、接着材層に直径100 μ mのビアホールを開口し、さらに残った銅箔中心部に直径20~30 μ m程度の小穴を貫通させた。

ついで、開口した穴にスクリーン印刷法を用いて導電

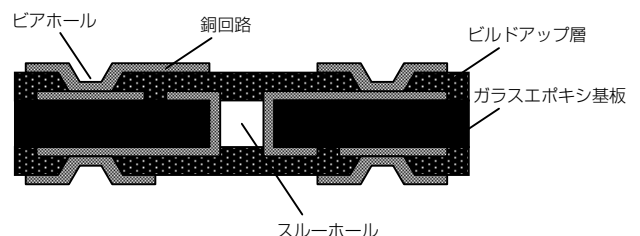


図1 従来のICパッケージ基板の断面構造
Structure of current IC substrate

*1 回路技術開発部

*2 マイクロデバイス開発部

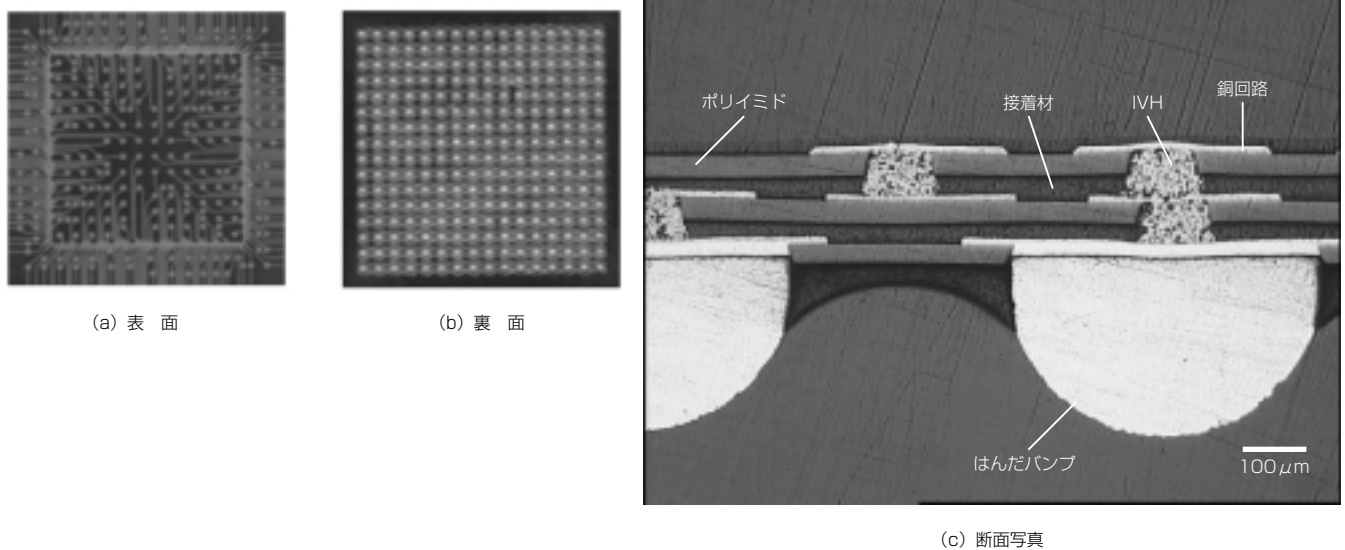


図2 全層ポリイミドICパッケージ基板表裏面写真と断面写真
(a) front / (b) back side and (c) cross-section view of all polyimide IC substrate

表1 主要な仕様
Specification

層数	3
最小ライン/スペース	50 μm / 50 μm
ランド径/ビア径	300 μm / 100 μm
総厚	160 μm
ピン数	256
はんだバンプピッチ	800 μm

性ペーストを充填した。このとき銅箔部に穿設した小穴から気泡が排出され、ビアホール内への気泡混入を防止することができる。

つぎに、これまでと同様の方法で製造された基材3枚を位置合わせを施した上で重ね合わせ、一括で加熱・加圧を行うことによって貼り合わせた。

さらに、本基板に金メッキ、ソルダーレジスト形成、はんだバンプ形成を施すことでICパッケージ基板を得た。

以上述べたように、各層の加工を同時に進めるとともに、積層前に不良品を排除したのち一括でプレスすることにより、ビルドアップ法に比べ工程を大幅に短縮できると同時に、高い歩留まりを達成できる可能性がある。

3. 導電性ペーストによる層間接続技術

本基板の製造方法における特徴的な技術は、導電性ペーストを用いた層間接続技術である。導電性ペーストは、繊維強化エポキシ系の樹脂基材に適用したものがいくつか発表されている^{3) 4)}が、FPCのようなフィルム基材に適用した場合の報告例は少ない。この導電性ペーストビアについて、接続信頼性を得るとともに低抵抗化をはかるため、ビア抵抗値への諸因子のおよぼす影響を明らかにする必要がある。導電性ペーストビアの電気抵抗値に影響をおよぼす因子として、加熱プレス時の加圧力、ビアホール長さ（絶縁層厚）、導電性ペースト材料が考えられる。導電性ペースト材料に関してはすでに市場で実績のあるものを使用することとし、ビア抵抗値の加熱プレ

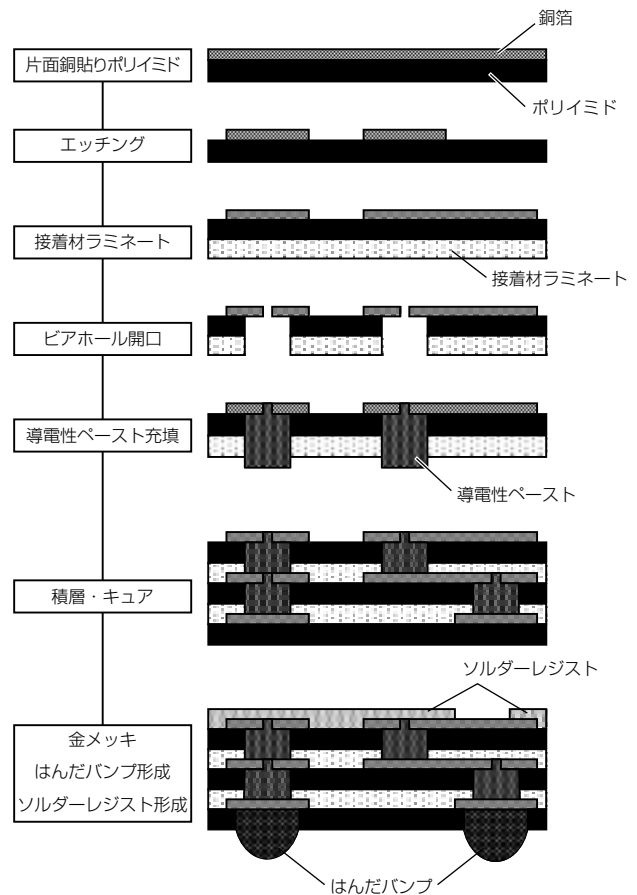


図3 全層ポリイミドICパッケージ基板製造フロー
Process flow

ス時の加圧力依存性と絶縁層厚依存性について調査した。抵抗値測定にあたっては、図4に示すようなランド径300 μm、ビア径100 μmで、銅回路2層を10個のビアで直列に接続したデジチェーン回路の抵抗値からビアを介さない銅回路のみの抵抗値を引き算して求めた。本抵抗値は、アドバンテスト製デジタルマルチメータR-6551

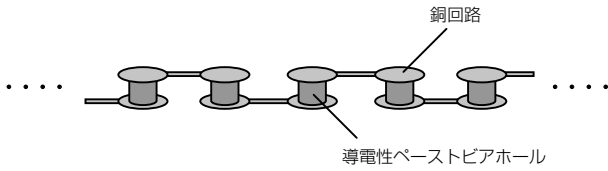


図4 評価用2層ダイジーチェーン回路
Daisy-chain circuit for reliability test

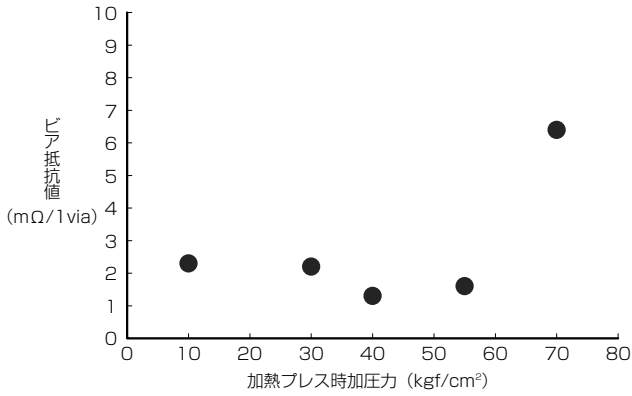
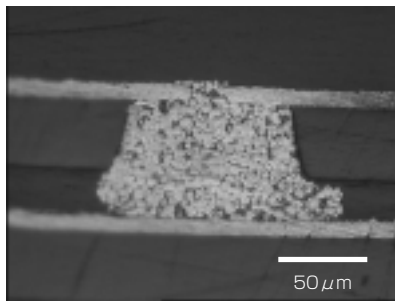
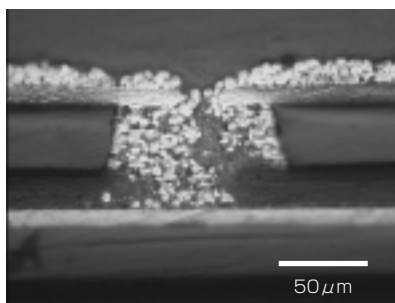


図5 ビア抵抗値の加熱プレス時加圧力依存性
Dependence of resistance on laminating pressure



(a) 加圧力40kgf/cm²の場合



(b) 加圧力70kgf/cm²の場合

図6 ビアホール断面写真
Cross-section view of via hole

を用い、印加電流1mAの4端子法によって測定した。
図5にビア抵抗値の加熱プレス時の加圧力依存性を示す。絶縁性基材（ポリイミド+接着材）の厚さは63μmで固定している。10kgf/cm²から55kgf/cm²の範囲で加圧力依存性はほぼ見られないが、加圧力がある所定の値を超えて大きくなると抵抗値が極端に上昇する。ビアホールの断面写真を図6に示すが、加圧力70kgf/cm²の場合に

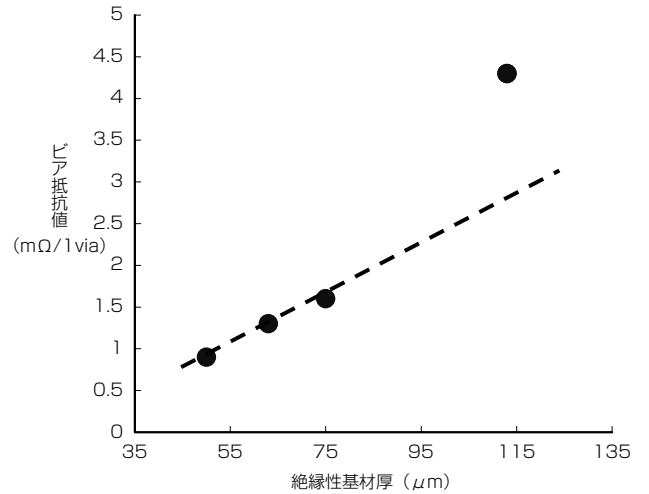


図7 ビア抵抗値の絶縁性基材厚依存性
Dependence of resistance on thickness of insulating layer

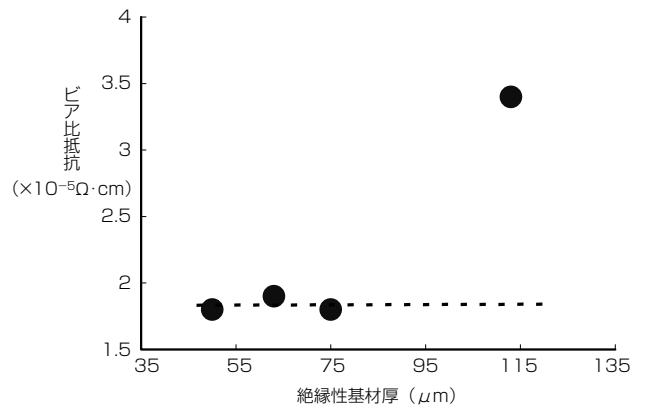


図8 比抵抗の絶縁性基材厚依存性
Dependence of resistivity on thickness of insulating layer

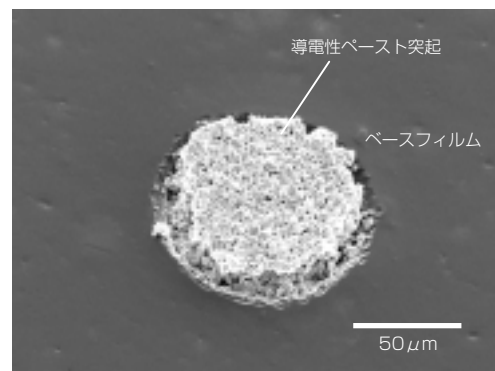
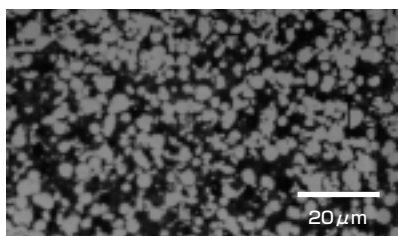


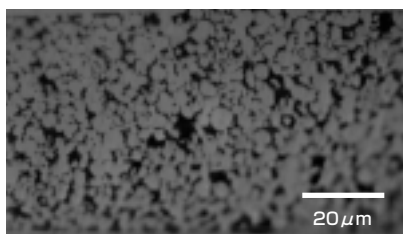
図9 導電性ペーストによる突起 (SEM写真)
Conductive paste boss (SEM image)

は、層間接着材がつぶれビアホール内まで侵入しており、それにより銅箔部分の小穴から導電性ペーストが流出していることがわかった。このことが抵抗値の上昇を招いていると考えられる。

また、図7にビア抵抗値の絶縁性基材（ポリイミド+接着材）厚依存性を示す。なお、加熱プレス時の加圧力は40kgf/cm²とした。グラフから絶縁性基材厚が大きくなる



(a) 圧縮がない場合
(導電性ペースト塗膜)



(b) 圧縮がある場合
(導電性ペーストビア基材厚63 μm
・加圧力40kgf/cm²)

図10 加圧がある場合とない場合での
導電性ペースト断面SEM写真
Cross-section view of conductive paste (SEM image)

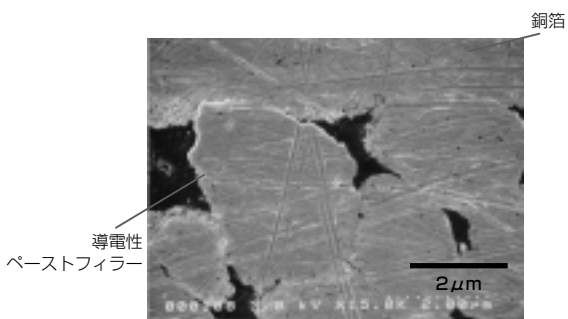


図11 銅箔と導電性ペーストとの界面 (SEM写真)
Boundary view between copper and
conductive paste (SEM image)

表2 信頼性試験結果
Results of reliability test

評価項目	規格/条件	結果
耐リフロー性	抵抗値変化<20%	合格
	熱風リフロー (max260℃) 3times	
熱衝撃試験 (気相)	抵抗値変化<20%	合格
	-65℃×30min⇄125℃×30min 1,000cycle	
熱衝撃試験 (液相)	抵抗値変化<20%	合格
	20℃×20s⇄260℃×10s 200cycle	
高温高湿バイアス	絶縁抵抗>500MΩ	合格
	85℃ 85RH% 30V×1,000hour	

にしたがってビア抵抗値も大きくなるが、絶縁性基材厚105 μmで抵抗値の基材厚依存性は線形から外れることがわかる。

データの縦軸を比抵抗とし図7をプロットし直したものが図8である。基材厚がある値を超えて大きくなった場合に比抵抗が上昇することがわかる。

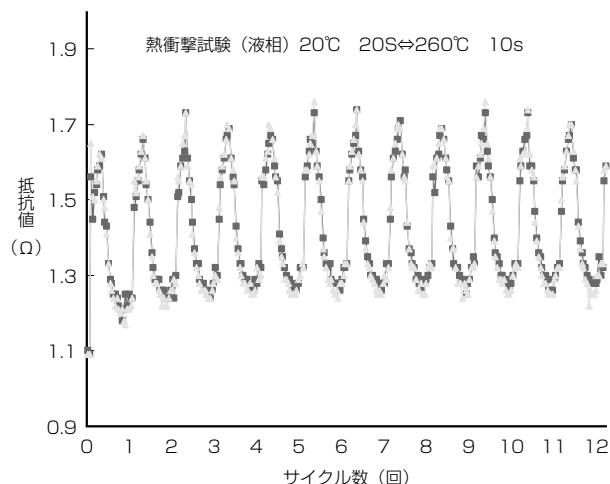


図12 熱衝撃試験 (液相) 中の抵抗値の挙動
Behavior of resistance during heat-shock test

本試作品では、図9の写真に示すような導電性ペーストによる突起を形成することで層間の接続を確実なものとしている。本実験において、導電性ペーストの突起高さは25 μmで統一しており、この導電性ペースト突起は加熱プレス時につぶれ、突起部分のフィラーがビア内部に浸入すると考えられる。突起の高さはすべての基材厚で一定であることから、絶縁性基材厚が小さくなると突起のビアに対する体積比率は増加し、ビア内部のフィラーが密になることから、ビアの抵抗値が低下するものと考えられる。

そこで圧縮のない場合の導電性ペーストと圧縮がある場合とでフィラー体積比率に変化があるかを確認した。図10 (a) (b) はそれぞれ圧縮のない導電性ペースト塗膜と圧縮されたビア内のフィラーの充填状態を比較した断面写真である。

断面写真からフィラーの体積比率を見積もったところ、導電性ペースト塗膜の場合にはフィラー体積比率は46%であるのに対し、ビアの場合には68%と大きく上昇していることがわかった。

さらに図11にビアホール内の導電性ペーストと銅箔との界面の断面SEM写真を示すが、導電性ペーストのフィラーは銅箔にくいこんでおり、このことはビアホールの低抵抗化に加え、諸信頼性向上への効果が予想される。

1ビアあたりの抵抗値は、絶縁性基材厚50 μm、導電性ペースト突起高さ25 μm、加熱プレス時の加圧力40kgf/cm²の時に1mΩ、ビア内の比抵抗は1.2×10⁻⁵Ω・cmと見積もられ、はんだの比抵抗と同等の低抵抗を実現した。

4. 信頼性試験結果

表2に本デジチェーン回路に対する信頼性試験の結果を示す。耐リフロー試験、熱衝撃試験 (気相、液相)、高温高湿バイアス試験を実施し、表に示す規格、条件のもとクリアすることを確認した。

また図12に熱衝撃試験 (液相) 中の抵抗値の挙動を示

す。導電性ペーストIVHはフィラー同士の接触により導通を得ているが、高温時でも断線することなく安定した抵抗値を得られていることを確認した。

5. む す び

これまで述べてきたように、当社は電子機器の高密度化、薄型化、軽量化に対応したポリイミドフィルム一括積層によるICパッケージ基板を開発した。また導電性ペーストビアホールによる層間接続技術を確立し、ビアの低抵抗化を実現することができた。本技術は高密度化が要求される電子機器用マザーボードやモジュールボードにも応用でき、これらの機器の小型化にも大きく貢献していくものと期待される。

参 考 文 献

- 1) 伊藤，岡本，樋口，中尾：銅箔付きポリイミドからなる一括積層のIVH多層配線板，第16回エレクトロニクス実装学術講演大会予稿集，pp.31-32
- 2) 中尾，渡辺，岡本，黒坂，伊藤：一括積層ポリイミドIVH多層配線板，フジクラ技報，103号，pp.48-52, 2002
- 3) 中谷，岡野，小川：全層IVH構造を有する樹脂多層基板「ALIVH」，電子材料，10月号，pp.52-58, 1995
- 4) 福岡，大平，浜野，佐藤，柴山，笹岡：新層間接続法「B²it」，電子材料，10月号，pp.95-101, 1995