

ビアフィルめっきを適用したビルドアップ多層板

電子電装開発センタ 橋 場 浩 樹*1・鈴木 俊 之*1・高 見 良*1
電子デバイス研究所 中 尾 知*2

Multi-layer Buildup Board with Cu Filled Vias

H. Hashiba, T. Suzuki, R. Takami & O. Nakao

ビルドアップ多層板においてビアフィルめっきを適用した高密度配線技術を開発した。ビアの充填には電解銅めっき浴に添加剤を作用させてビアを充填する方法を検討した。添加剤管理の適正化とめっきパラメータの調整により、開口径 $\phi 60 \mu\text{m}$ のビアホールに対し90%以上のフィリング率と $10 \mu\text{m}$ 以下の平坦性を達成できた。適正化された条件を用いてフィルドビアの特徴であるスタック構造による2段ビルドアップ配線を形成し、信頼性の確認を行った。

Via filling technology for buildup circuit board is developed. The authors have examined the process using additives in electro-plating of copper. With careful control of additive concentration and adjusting other plating parameter, high filling ratio of more than 90% and flatness fewer than 10 microns is achieved. Buildup board with stacked vias has been formed using developed via filling technology, and its reliability has been evaluated.

1. ま え が き

近年、携帯電話やデジタルスチールカメラなどの電子機器において、急速に製品の高機能化、小型化が進んでいる。実装される電子部品数は増加し、実装面積は小さくなる傾向にある。それに伴い、搭載されるプリント配線板においても、小型、高密度化等が要求されている。

ビルドアップ工法は上述の高密度実装に大きく貢献する技術である。その製造方法はコア基材の表層に絶縁層を形成し、レーザー光照射によりビアホールを形成した後、銅めっきを表層に施すことによって層間導通を得る工程と、表層配線層を形成する工程を繰り返すことで多層配線板を得る方法である。ビルドアップ工法は表層の配線密度を飛躍的に高めることができるため、携帯電話のメインボードやICのインターポーザなど最先端の高密度実装用基板に適用されている。

従来のビルドアップ配線板では、めっきによって形成されるビアホールは図1に示すように表面が凹んだ（コンフォーマル）形状となる。このようなビアホールでは直上にさらにビアホールを重ねるビア・オン・ビアや、ビアホールの直上にICチップ等の部品を実装（パッド・オン・ビア）することが困難である。

近年、これらの問題を解決する為に、ビアフィルめっきという技術が注目されている¹⁾。この技術を用いることに

より図2に示すようにビアホール内を銅めっきによって充填することができるため、ビア・オン・ビアやパッド・オン・ビアが可能となる。また、熱ストレスなどに起因するビアホール内のめっき破断による故障が起こり難く、信頼性の向上も期待できる。

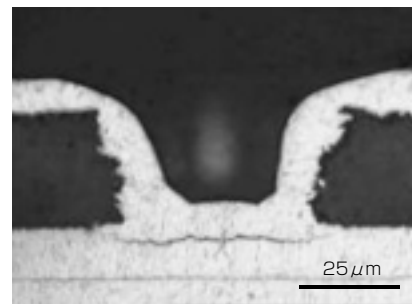


図1 コンフォーマルビア
Conformal via

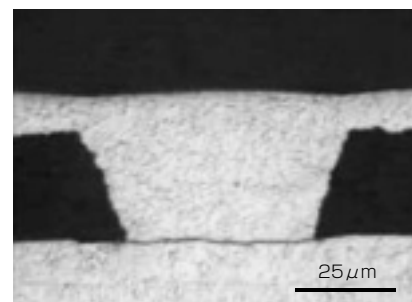


図2 フィルドビア
Filled via

*1 回路技術開発部

*2 マイクロデバイス開発部グループ長

2. ビアフィルめっき技術

ビアフィルめっきは、硫酸銅めっき浴中に、めっき成長を抑制する抑制剤と、めっき成長を促進する促進剤とが添加されているものである^{2) 3)}。図3に抑制剤の作用によるめっき析出理論を示す。抑制剤が物質の拡散則に従ってビアホール内部には吸着し難く基板表面には吸着し易いことを応用し、ビアホール内部に優先的に銅を析出させる方法である。

図4に促進剤の作用によるめっき析出理論を示す。先ず促進剤はビアホールの底面、側面、基板表面に一律に吸着する。続いてビアホール内部ではめっきの成長に伴い、表面積が減少していく。このように、ビアホール内の促進剤が密になることによって、ビアホール内部のめっき速度が基板表面のめっき速度より速くなる。

一般的には、これらの抑制剤と促進剤はひとつのめっき浴内に適度な配合で混合されているものであり、両者の効果によってビアホール内部を銅によって充填することが可能となる。

3. ビアフィルめっき条件検討

添加剤の作用を利用してビアホールを銅めっきで充填し回路表面を平坦化するためには、複数の添加剤濃度を独立して分析、管理する必要がある。本開発においてはCVS (Cyclic Voltametric Stripping) 装置⁴⁾を用いて、各々の添加剤に最適な方法で分析を行っている。

ビルドアップ多層板の試作にあたり、ビアホールを効果的にめっきで充填するための条件を検討した。ビア充填の

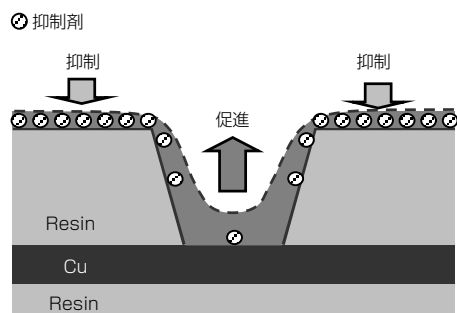


図3 抑制剤の作用によるめっき析出理論
The plating deposit theory by action of an inhibitor

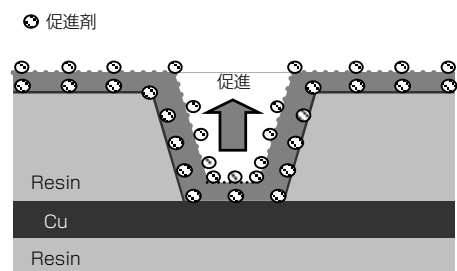


図4 促進剤の作用によるめっき析出理論
The plating deposit theory by action of a catalyst

程度を示す指標として図5に示すフィリング率を用いた。ビア底面から基板表面めっきまでの深さを①、ビア底面からビアホール内めっきの凹み部最下点までの深さを②としたとき、フィリング率および凹み量は次式で定義される。

$$\text{フィリング率} = \text{②} \div \text{①} \times 100 (\%)$$

$$\text{凹み量} = \text{①} - \text{②} \quad (\mu\text{m})$$

図6にフィリング率の電流密度依存性を示す。積算電流値を固定し、表面膜厚は一定となるようにして比較している。電流密度2A/dm²付近に極大を持っており、より高い電流密度でも低い電流密度でもフィリング率は低下する。

図7に絶縁層厚を40 μmとした時のフィリング率のビア径依存性を示す。本実験でも積算電流値を一定とし、電流

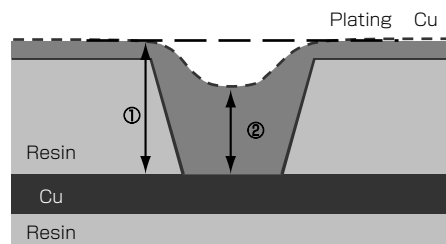


図5 フィリング率の定義
Definition of filling ratio

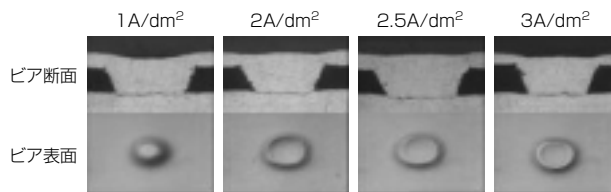
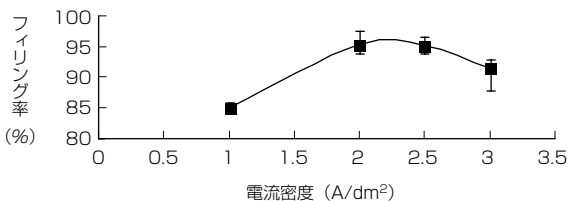


図6 フィリング率の電流密度依存性
Current density dependence of filling ratio

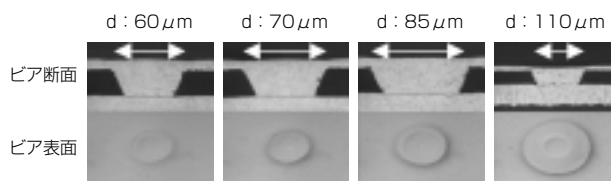
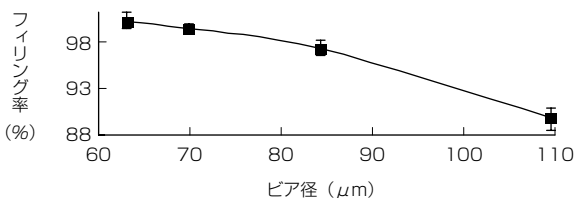


図7 フィリング率のビア径依存性
Via-hole diameter dependence of filling ratio

密度は2A/dm²とした。ビア径の減少にともないフィリング率は上昇することがわかる。アスペクト比が1以上の場合はビアホール内にボイドが発生し易くなるため、試作にはアスペクト比が約0.7となるビア径60 μmを採用した。

図8にフィリング率のめっき厚依存性を示す。めっき厚の増加にともなってフィリング率は上昇し、めっき厚13 μmでフィリング率100%以上になる。

4. ビルドアップ多層板の作製

本開発では両面リジット配線板をコア基板とし、その表裏に2段ビルドアップ層を形成した6 (2+2+2) 層ビルドアップ多層板を作製した。一方の面から他方の面へ向かって各層の導体回路をL1回路、L2回路、L3回路…L6回路と呼称する。本試作ではL1回路とL2回路、L3回路がフィールドビアにて電気的に接続され、L1、L2、L3の3層間でデジチェーンパターンを形成している。

図9にビルドアップ工法のプロセスを示す。コア基板(銅箔35 μm、樹脂300 μm)に銅箔付き樹脂フィルム

(銅箔5 μm、樹脂53 μm)を積層しビルドアップ層を形成した。樹脂フィルムを積層した後、レーザーによってビアホール(穴径 表面60 μm、底40 μm)を形成しデスマリアを行った。その後、電解めっきの給電層を形成するため、ビアホール側壁に導体皮膜を吸着させビアフィルめっきを施した。最後にサブトラクティブ法を用いて回路パターンを形成した。これらの工程はコア基板の表裏同時におこなった。

上記の工程を2回繰り返すことによって、2段ビルドアップの合計6層ビルドアップ多層板を作製した。

5. 特性評価

5.1 フィールドビア

図10に作製した評価基板の断面写真を示す。ビアホー

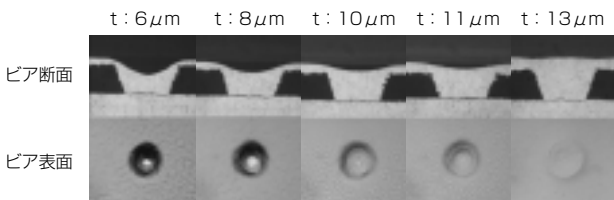
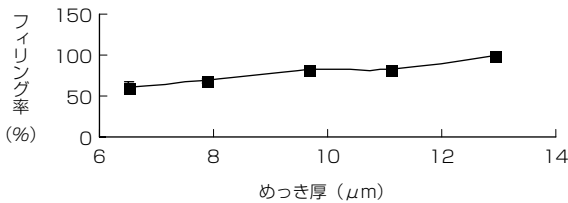


図8 フィリング率のめっき厚依存性
Plating thickness dependence of filling ratio

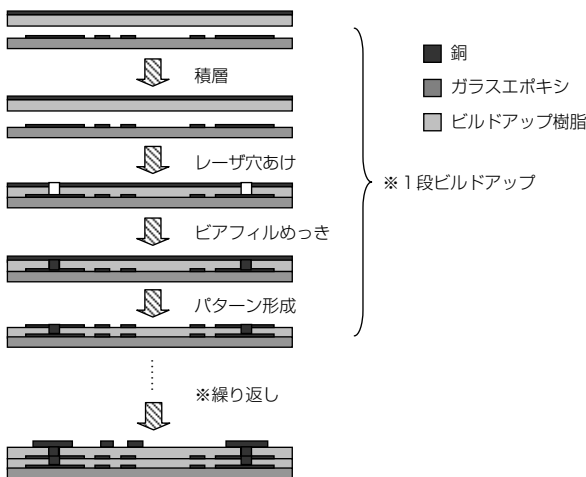


図9 ビルドアップ工法のプロセス
Process flow of buildup method

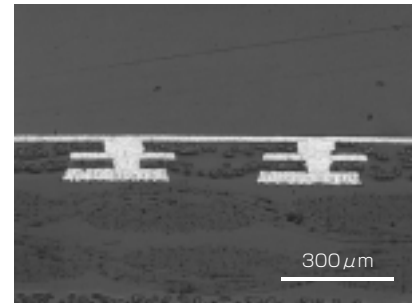


図10 評価基板の断面写真(ビア・オン・ビア)
Cross section view of stacked via

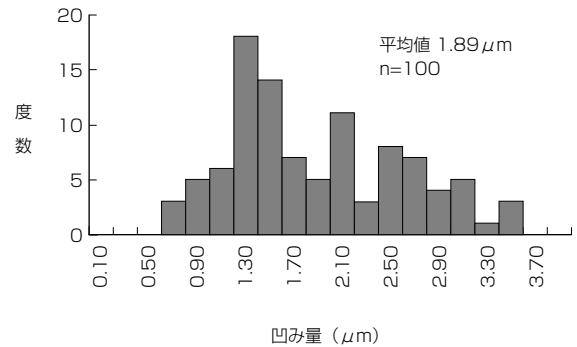


図11 凹み量の度数分布
Histogram of the amount of hollows

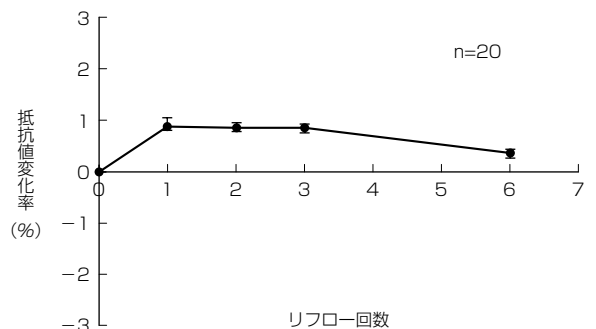


図12 耐リフロー試験結果
Result of re-flow test

ル内はめっき銅によって完全に埋め込まれている。L1回路とL2回路、L2回路とL3回路を接続するビアホールが一直線上に並び、3層間でデージーチェーンパターンを形成している。

図11にレーザ変位計を用いて測定したフィルドビアの凹み量の度数分布を示す。凹み量は周辺のめっき回路の平坦部を基準として凹部または凸部の極大値を測定している。1.3 μm を最頻値として、0.7 μm ~ 3.5 μm の狭い幅で分布を示している。平均凹み量は1.89 μm である。

5.2 接続信頼性

図12にビア・オン・ビア構造を含む200ビアデージーチェーンを用いておこなった耐リフロー試験結果を示す。リフロー試験は初期抵抗値を測定した後、85℃30%RH24hrsの前処理してから250℃ピークの熱を加え、十分冷却した後、抵抗値を測定した。加熱処理（リフロー）から抵抗値測定まで合計6回繰り返して抵抗値の変化率を評価した。6回目の試験が終了した時点で抵抗値の変化率は1%以下であり、ビア・オン・ビア構造でも耐リフロー性に問題ないことがわかった。

6. む す び

ビアフィルめっきを適用して6 (2 + 2 + 2) 層ビルド

アップ多層板を作製した。ビア表面の凹凸は $\pm 5 \mu\text{m}$ 以内で、ビアスタックや実装パッドとして利用可能な平坦性を得られていた。ビア径 $\phi 60 \mu\text{m}$ のビア・オン・ビア構造デージーチェーンについて、繰り返しリフロー試験後も外觀上、電気的に変化しないことを確認した。リジッド多層板製品では既にビアフィルめっきの採用が始まっているが、リジットフレックス基板やフレキシブル多層板にも本技術を展開し、来るべき高密度化に備えて開発をおこなってゆく予定である。

参 考 文 献

- 1) 塚本：コアレスBGA用基板の開発，長野県工科短大公開技術講演会「最新の高性能多層基板技術」予稿集，p.66，2002
- 2) 近藤ほか：ビア穴埋めに用いるCuめっき添加剤のメカニズム，エレクトロニクス実装学会誌，Vol.3，No.7，p.607，2000
- 3) 石塚ほか：特殊硫酸銅めっきによるビアフィリング，第16回エレクトロニクス実装学術講演大会予稿集，19C-24，p.223，2002
- 4) 小谷：CVS分析装置による電解銅めっき液の分析，表面技術，Vol.54，No.4，p.32，2003