

シリコン貫通配線基板の高周波特性

電子デバイス研究所 松丸 幸平¹・脇岡 寛之¹・中村 裕成¹
山本 敏¹・橋本 幹夫²・定方 伸行³

RF Characteristics of the Silicon Through-hole Interconnections

K. Matsumaru, H. Wakioka, H. Nakamura, S. Yamamoto,
M. Hashimoto & N. Sadakata

電子部品パッケージのさらなる小型化,高性能化にともない,3次元実装技術の実用化が期待されている。当社では,光学デバイスや高周波デバイスなどのウェハレベルパッケージを目的として,貫通配線基板の開発を進めている。この貫通配線の高周波特性を評価した結果,貫通配線外周のシリコン酸化膜の厚さとシリコン基板の比抵抗が高周波特性に大きく影響することが判明した。また,基板の比抵抗を大きくし,貫通配線とシリコン基板間の浮遊容量を低下させることで,貫通配線の伝送特性が大幅に向上することが明らかとなった。

Three-dimensional (3D) stacking or System in Package (SiP) is proposed for high-density packaging of electronic devices. Fujikura has been developing a new Wafer Level Packaging technology based on silicon through-hole interconnections for the 3D stacking and SiP. In this paper, RF characteristics of the silicon through-hole interconnections, especially focused on thickness of the insulation layer around the through-hole and resistivity of silicon substrate, are examined. As the result, it was confirmed that both thickness of the insulation layer and the resistivity of the substrate affected the RF characteristics. Also, the higher resistivity and smaller stray capacitance of the SiO₂ film were important to realize higher transmission characteristics of the silicon through-hole interconnections.

1. ま え が き

モバイル情報端末をはじめとする電子機器の小型化,高性能化にともない,搭載されるデバイスのパッケージにも小型化,薄型化,高密度化が要求されている。これを実現するひとつの方法として,貫通配線を用いたパッケージ技術が提案されており,3次元実装やSiP(System in Package)などの高密度実装の実現に向け,研究が活発に行われている¹⁾。われわれは光学デバイスや高周波デバイス, Micro Electro Mechanical System (MEMS) デバイスの小型化,高性能化,またそれらのウェハレベルパッケージを実現するために,シリコン貫通配線基板の開発を進めている²⁾³⁾⁴⁾。シリコン貫通配線は半導体基板を貫通する構造であることから,高周波領域での伝送損失を定量的に評価することが重要である。これまでに,貫通配線の高周波特性についてシミュレーションを中心とした報告がいくつかあるが⁵⁾⁶⁾,作製条件の違いによる高周波特性を実際の測定によって定量的に評価した報告は少ない。本報で

は,シリコン貫通配線構造において高周波特性に影響を与えるパラメータとして,シリコン基板の比抵抗と貫通配線外周のシリコン酸化膜の厚さに着目し,伝送特性の評価結果を報告する。

2. 貫通配線基板の作製

本研究で用いたシリコン貫通配線基板の作製プロセスを図1に示す。はじめに,シリコン基板をDeep Reactive Ion Etching法により孔径80 μmのブラインドピアを形成する。シリコン基板の比抵抗は高周波特性に与える影響を調査するため,10 cmと1,000 cmの2種類とした。つぎに,ピア内壁および基板表面にシリコン酸化膜を形成した。膜厚は,ピア内壁のシリコン酸化膜の厚さが貫通配線の高周波特性に与える影響を調べるために,1.2 μmと0.1 μmの2条件とした。ブラインドピアに対し,熔融金属吸引法⁷⁾により導体を充填した。熔融金属充填法は,チャンバ内において圧力差により熔融金属を微細孔に差圧充填するものであり,高アスペクト比のブラインドピアに対して気密性良く金属を充填できるという特長を有している。今回の検討では,融点が283 °Cの共晶金属である金(80wt%) - スズ(20wt%)を充填した。さらに基板裏

1 シリコン技術開発部
2 シリコン技術開発部グループ長
3 シリコン技術開発部長(工博)

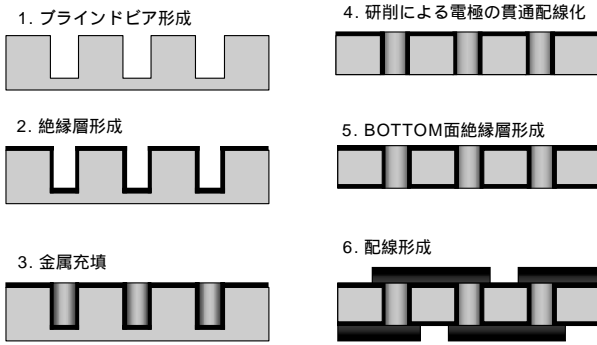


図1 貫通配線基板の作製プロセス

Fig. 1. Schematic process-flow of through-hole interconnections.

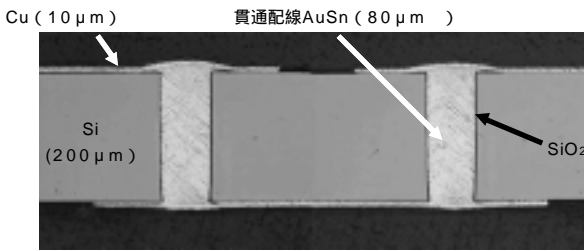


図2 作製した貫通配線基板の断面

Fig. 2. Cross-sectional view of through-hole interconnections in a Si substrate.

面から研削を行うことで微細孔に充填された金属を露出させ、基板の表裏を電氣的に接続する貫通配線を形成した。貫通配線部の長さは200 μmである。研削後、基板裏面に絶縁層としてシリコン酸化膜を形成した。最後に、基板両面にCu配線を形成し、基板表面と貫通配線を電氣的に接続した。作製した貫通配線の断面を図2に示す。微細な貫通孔内に金属が均一に充填されていることがわかる。また、作製した貫通配線の電氣的特性として導通検査と絶縁検査を実施した。導通検査の結果、貫通配線1本あたりの抵抗値は9.8mΩであった。設計上、貫通導体であるAuSnの抵抗値は6.4mΩであることから、貫通配線とその両端の表面配線の接触抵抗は3mΩ程度となる。また、絶縁検査の結果、電氣的に独立な貫通配線間は絶縁されており、貫通配線からシリコン基板へのリーク電流は100Vにおいて0.1nA以下であった。これらの結果から、作製した貫通配線基板が電氣的に良好な導通を示し、基板に対して十分な絶縁性を有していることが確認された。

3. 貫通配線基板の伝送特性評価

3.1 評価方法

図3に伝送特性の測定方法を示す。基板表面に600 μmの間隔で配置された貫通配線2本を基板裏側に形成された表面配線により接続し、一組の貫通配線とした。貫通配線部の長さは200 μmである。3組の貫通配線を300 μm間

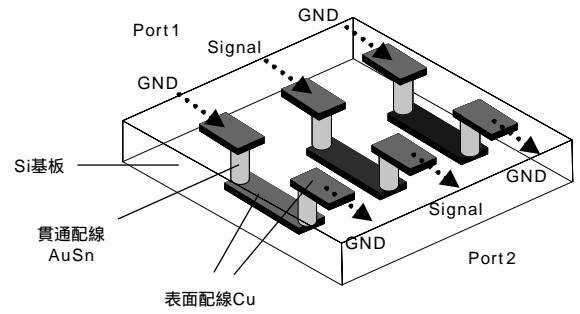


図3 貫通配線の伝送特性評価方法

Fig. 3. A model for RF characteristics measurement of through-hole interconnections.

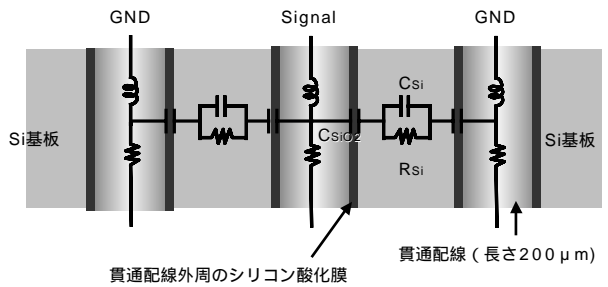


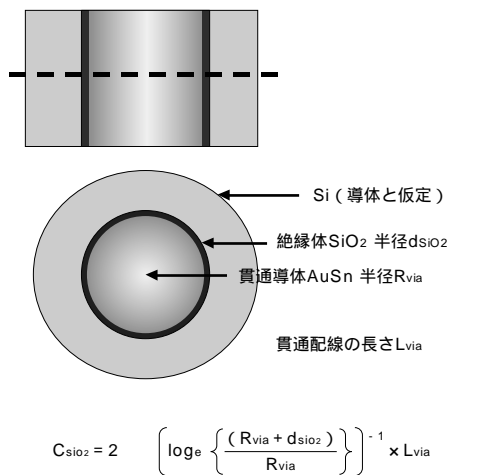
図4 貫通配線構造における等価回路

Fig. 4. Equivalent circuit diagram of through-hole interconnections.

隔で平行に並べ、中央の組を信号伝送用のシグナル配線、両端の組をグランド配線とし、コプレーナ伝送線路を形成した。このコプレーナ伝送線路に0.1GHzから8GHzの高周波信号を入力し、そのときの透過特性S21を測定した。ただし、このS21には基板裏側の配線のS21が含まれているため、減算する必要がある。そこで、われわれはリファレンスとして貫通配線が形成されていない表面配線だけの透過特性を測定し、これを貫通配線一組のS21から減算することで貫通配線単体(2本分)のS21を算出した。シリコン貫通配線構造の等価回路は図4のように考えることができる。貫通配線とシリコン基板間の浮遊容量 C_{SiO_2} と基板の比抵抗 R_{Si} に着目し、等価回路を設定した。貫通配線とシリコン基板は貫通配線外周のシリコン酸化膜をかいして電氣的に絶縁されているが、高周波領域においては浮遊容量 C_{SiO_2} が増大し、リアクタンス X_c が低下することで、貫通配線からシリコン基板に高周波信号が漏洩するものと推測される。そこで、貫通配線外周のシリコン酸化膜の厚さを0.1 μm, 1.2 μmと変化させたときの損失を測定した。また、シリコン基板の比抵抗 R_{Si} を10 Ω/cm, 1,000 Ω/cmと変化させたときの伝送損失を評価し、シリコン基板の比抵抗 R_{Si} が伝送特性に与える影響についても検証した。

3.2 浮遊容量と伝送特性

図5に貫通配線構造における浮遊容量の計算結果を示す。同軸構造の配線とみなし、貫通配線を中心導体、シリコン基板を外周導体と仮定して計算を行った。貫通配線外



SiO₂膜厚1.2 μm C_{siO₂} = 1.4 pF, X_c = 11.1 @1GHz
 SiO₂膜厚0.1 μm C_{siO₂} = 16.9 pF, X_c = 9.4 @1GHz

図5 貫通配線と基板の間にある浮遊容量の計算結果
 Fig. 5. Calculated result of stray capacitance between through-hole and a Si substrate.

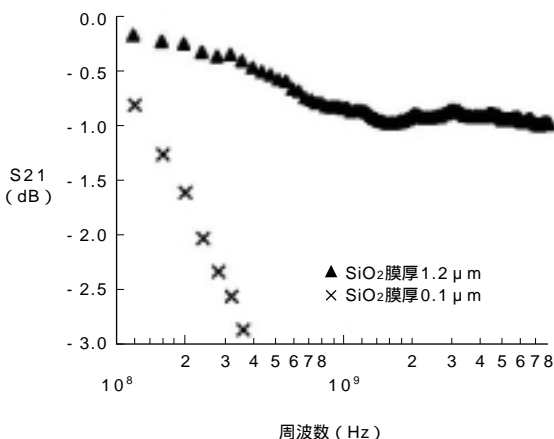


図6 シリコン酸化膜厚と貫通配線の透過特性S21
 Fig. 6. Dependence of measured S21 on SiO₂ thickness.

周の酸化膜の厚さが0.1 μmの場合は、1GHzにおける浮遊容量C_{SiO₂}が約17pFと大きくなり、リアクタンスX_cが9と小さくなる。このため、酸化膜の厚さが薄いとき、電流がシリコン基板へ漏れやすくなると推測できる。貫通配線外周のシリコン酸化膜の厚さが貫通配線の透過特性に与える影響について実測した結果を図6に示す。この測定に用いたシリコン基板の比抵抗は10 cm一定とした。貫通配線外周のシリコン酸化膜の厚さが1.2 μmのとき、1GHzでの損失は0.86dBであるのに対し、膜厚が0.1 μmのときは損失が3.7dBであり損失が大きい。これは計算結果と定性的に一致しており、貫通配線外周のシリコン酸化膜を厚くすることで貫通配線の伝送特性が向上することが明らかとなった。

3.3 基板の比抵抗と伝送特性

つぎに、シリコン基板の比抵抗R_{Si}が貫通配線の透過特

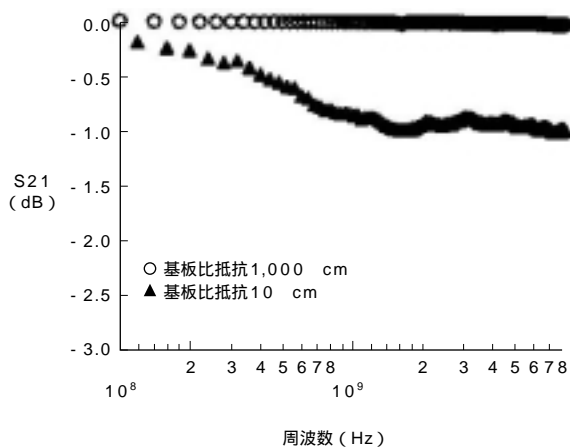


図7 基板の比抵抗と貫通配線の透過特性S21
 Fig. 7. Dependence of measured S21 on Si substrate resistivity.

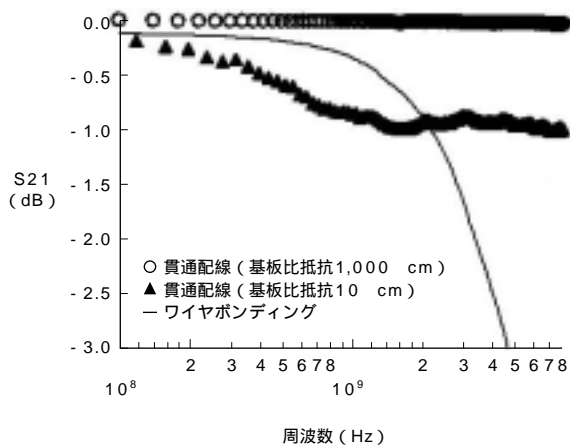


図8 貫通配線とワイヤボンディングの透過特性S21
 Fig. 8. Comparison of S21 between through-hole interconnections and wire bonding.

性に与える影響について実測した結果を図7に示す。貫通配線外周のシリコン酸化膜の厚さは1.2 μm一定とした。シリコン基板の比抵抗R_{Si}が10 cmの場合、2GHzにおける貫通配線の伝送損失は0.9dBであった。シリコン基板の比抵抗R_{Si}を1,000 cmと大きくした場合、2GHzにおける貫通配線の伝送損失は0.01dBとなり、基板の比抵抗が10 cmのときに比べ、伝送損失が大幅に減少した。このことから、貫通配線を形成する基板を高抵抗とすることで、貫通配線の伝送特性が大幅に向上することが明らかとなった。

3.4 従来技術との比較

チップ間を接続する方法としては、ワイヤボンディングによる接続が一般的である。貫通配線は基板の表裏を貫通する構造であるため、ワイヤボンディングよりも電極位置の設計の自由度が高く、チップの小型化が可能、配線長の短縮が期待できるなどのメリットがある。一般的に、配線長の短縮は高周波特性の向上に寄与する。図8にワイヤボンディングと貫通配線の透過特性を比較した測定結果を示

す。ワイヤボンディング径は一般的なAu線25 μ mを使用し、チップ上のパッド間をループ長5mmにて接続した。4GHzよりも高い周波数領域においては、ワイヤボンディングのループ長5mmの損失が3dB以上と大きくなるのに対し、貫通配線では損失が1dB以下である。これは貫通配線がワイヤボンディングに比べて配線径が太く、配線長が短いためと考えられる。以上のことから、配線長の短縮と配線抵抗の低減が可能なシリコン貫通配線構造は、高周波信号の伝送に適することが明らかとなった。

4. む す び

次世代パッケージ技術として期待される貫通配線をシリコン基板に形成し、高周波特性を評価した。その結果、基板の比抵抗を大きくし、貫通配線外周のシリコン酸化膜を厚くすることで、貫通配線の伝送特性は大幅に向上することが明らかとなった。また、従来のワイヤボンディングに比べ、貫通配線が高周波信号の伝送に適することを確認した。

今後は、シリコン貫通配線の信頼性（熱的環境における信頼性、気密信頼性など）の確認を行う。いっぽう、ガラス基板に貫通配線を形成した場合、絶縁層の形成が不要と

なるため工程の簡略化が可能であるだけでなく、絶縁体であることにより高周波特性の大幅な向上が期待できる。さらに、ガラスの光透過性を生かして光学デバイスへの応用も期待できる。今後は貫通配線技術をガラス基板にも応用展開していく予定である。

参 考 文 献

- 1) 盆小原 学：エレクトロニクス実装学会誌，Vol.4，No.3，p.185，2001
- 2) 中村ほか：フジクラ技報 105号，pp.37-40，2003
- 3) S. Hirafune, et al.: Proc. of High Density Microsystem Design and Packaging and Component Failure Analysis, p.303, 2004
- 4) 松丸ほか：第19回エレクトロニクス実装学術講演大会予稿集 pp.115-116，2005
- 5) 小林ほか：MES2004，p.19，2004
- 6) 花輪 威：超高速高周波エレクトロニクス実装研究会 Vol.4，No.2，p.19，2004
- 7) A. Satoh, et al.: Proc. of The Sixth International Micromachine Symposium, 2000, p.179