

# 受動部品内蔵フレキシブルプリント配線板

電子電装開発センター 朽 網 寛<sup>1</sup>・小 川 泰 司<sup>2</sup>・藤 浪 秀 之<sup>2</sup>  
電子デバイス研究所 佐 藤 正 和<sup>3</sup>

## Passive Device Embedded Flexible Printed Circuit

H . Kutami , T . Ogawa , H . Fujinami , and M . Satoh

フレキシブルプリント配線板（FPC）上に，エッチングプロセスにより形成した受動部品を積層することで受動部品内蔵FPCを作製した．内蔵された部品の電気的な特性は，エッチングにより形成される部品の構造により制御可能であることを示した．

Passive devices were formed on flexible printed circuits (FPCs) by the etching process, and then these devices were embedded into the multilayered FPC by the colamination process. The electrical properties of embedded passive devices appear to be controlled by the feature size of the devices.

### 1. ま え が き

プリント配線板への部品内蔵は，機器内配線の小型化・高密度化を可能にするとともに，3次元的な配線により，能動素子と受動素子間の配線長を短くできることから，高速伝送時に問題となる寄生容量やインダクタンスの問題を解決できる可能性があり，注目されている技術である<sup>1)</sup>．

受動部品を内蔵する技術は大きく二つに分けることができる．一つは既製の部品を配線板内に埋め込む方法である．この方法ではパッケージされた受動部品を配線板内のキャビティの中に埋め込むため，基板が比較的厚いリジッド基板では実用化され始めている．

もうひとつは，部品機能を配線板に作りこむ方法である<sup>2)</sup>．受動部品の機能をエッチングや印刷などの回路形成と同じプロセスで実現できるように，部品の高さは回路厚さ程度に納めることができる．そのため，埋め込み型と比較して，薄型化が容易であることから，薄いことが特徴であるFPCに内蔵することで，より高密度な基板配線を実現できる可能性がある．本稿では，エッチングによる回路形成で，FPC内にキャパシタ，レジスタ，インダクタを形成し評価したので報告する．

### 2. キャパシタの設計・試作

図1は今回試作したキャパシタの模式図である．2層目と3層目の間に高誘電率材料を挟んだ4層配線板とし，2層目と3層目に電極を形成することで，キャパシタを形成した．高誘電率材料はポリイミド内に強誘電体のフィラを分散させた複合材料で，キャパシタの電極間絶縁層として優れた特性を示すが，フィラを分散してあることから，FPCとしては曲げに弱くなるという欠点も有している．キャパシタの電極はスルーホール（TH）を通じて，表層の回路と導通している．

キャパシタンスは式（1）

$$C = S/d \dots\dots\dots(1)$$

C：キャパシタンス  
：誘電率  
S：電極面積  
d：電極間距離

であらわされる．

本検討では，高誘電率材料の厚さ，すなわち電極間距離を一定にして電極面積の異なる内蔵キャパシタを作製し，キャパシタの容量と電極面積の関係を調べた．図2に試作したキャパシタ内蔵FPCの断面写真を示す．2層目と3層目の間の絶縁層が他の絶縁層と比較して白みを帯びているのは，ポリイミド内に分散したフィラが白色であることによる．

測定した内蔵キャパシタの容量と電極面積の関係を図3

1 回路技術開発部グループ長（工学博士）  
2 回路技術開発部  
3 マイクロデバイス開発部

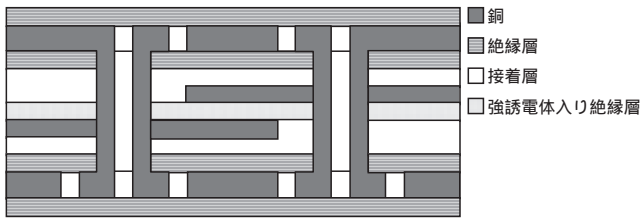


図1 配線板内蔵キャパシタの断面図  
Fig. 1. Schematic illustration of an embedded capacitor.

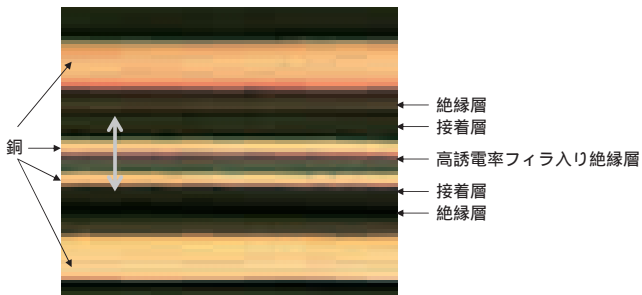


図2 配線板内蔵キャパシタの断面写真  
Fig. 2. Cross-sectional view of an embedded capacitor.

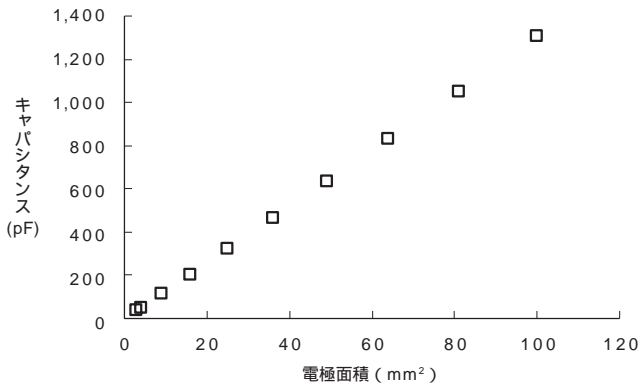


図3 配線板内蔵キャパシタ電極面積の  
キャパシタンスへの影響  
Fig. 3. Relationships between the electrode surface area  
and the capacitance.

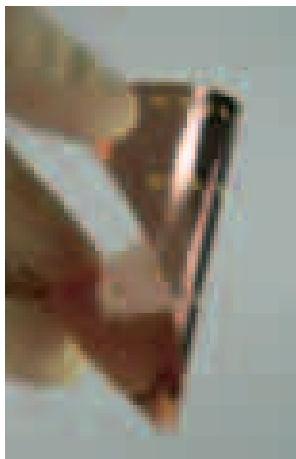


図4 キャパシタ内蔵4層配線板  
Fig. 4. Photograph of a capacitor embedded FPC.

に示す．式(1)に示されるように電極面積に比例して容量が増加した．この結果から，電極面積を変化させることにより，36.5 pF ~ 1,310 pFまでの任意の容量を配線板内に形成できることを示すことができた．図3から求めた単位面積あたりの容量は，13 pF/mm<sup>2</sup>であった．図2に矢印( )で示した片側の接着剤と電極を含めたキャパシタを合せた厚みがキャパシタを内蔵するために必要となり，その厚さは約65 μmであった．図4に作製した基板の全体写真を示す．この4層配線板の厚さは220 μmであった．

### 3. インダクタの設計・試作

配線板内に形成するインダクタには図5に示すような形状が考えられる<sup>3)</sup>．(a)は同一面内に形成可能な形状である．(b)および(c)は3次元配線により実現が可能となるが，(c)のソレノイド型は多数の層間導通を設けることが必要であり作製が煩雑である．そこで，単位面積当たりで大きなインダクタンスを得られ，比較的製造も容易な(b)のコイル型のインダクタを試作した．

多層配線板内に形成されるインダクタコイルは接着剤，絶縁層，スルーホールなどと接しているが，インダクタンスはこれらの近傍に存在する材料の特性に影響を

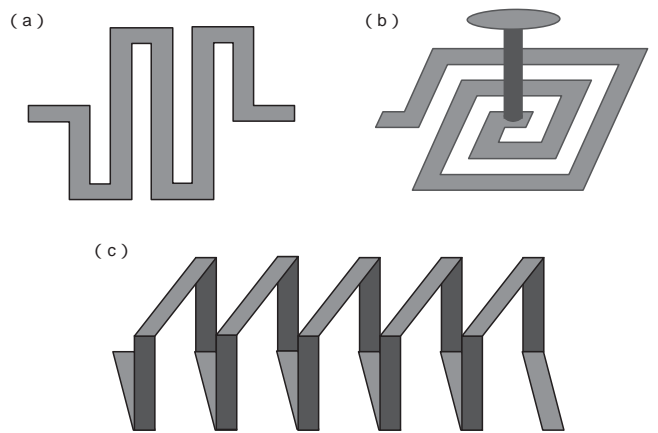


図5 配線板内蔵インダクタの構造例  
Fig. 5. Schematic illustration of layout examples  
of embedded inductors.

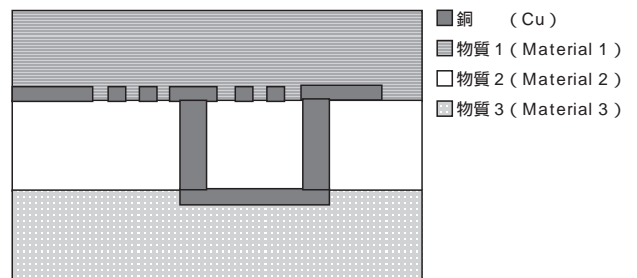


図6 インダクタの断面構造模式図  
Fig. 6. Schematic illustration of a cross-sectional view  
of an embedded inductor.

受けることが知られている．例として図 6 に示すような物質 1，物質 2，物質 3 に囲まれた銅製のコイルインダクタのモデルについて，物質 2 の比誘電率を 3.3 とし，物質 1 と物質 3 の誘電率を変化させた場合のインダクタンスの周波数依存性を計算した結果を図 7 に示す．物質 1 と 3 の誘電率を大きくすると共振周波数が低周波数側にシフトし，小さくすると共振周波数が高周波数側にシフトした．そのため，インダクタとキャパシタを同一配線板に内蔵する場合，キャパシタの電極間に配置される高誘電率の絶縁層はインダクタの特性に影響をおよぼす可能性が有る．そこで，今回の試作では，一つの多層配線板内に，レジスタ，インダクタ，キャパシタをすべて形成できる層構成として，高誘電率層を含む図 8 に示す構造について検討した．インダクタは 3 層目の高誘電率絶縁層の上に形成した．スルーホールは内径が 200  $\mu\text{m}$ ，ラ

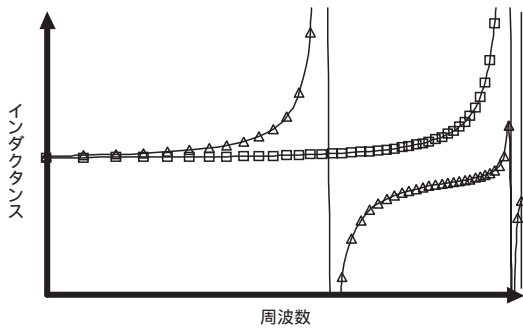


図 7 インダクタンスの周波数依存性  
(図 6 に示した物質 1，物質 3 と物質 2 の誘電率が異なる場合)  
- - 物質 1，3 の誘電率 < 物質 2 の誘電率，  
- - 物質 1，3 の誘電率 > 物質 2 の誘電率．  
物質 1 の誘電率 = 物質 3 の誘電率

Fig. 7. Simulated inductance as a function of operating frequency for different dielectric constants (In the case that dielectric constants of material 1 and material 3 differ from material 2) as shown in Fig. 6 :  
( - - ) dielectric constant of material 1 and 3 < dielectric constant of material 2,  
( - - ) dielectric constant of material 1 and 3 > dielectric constant of material 2,  
dielectric constant of material 1 = dielectric constant of material 3.

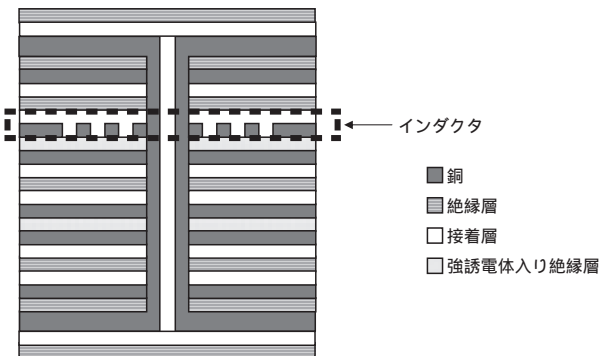


図 8 部品内蔵インダクタの断面図  
Fig. 8. Schematic illustration of cross-sectional view of an embedded inductor.

ンド径が 600  $\mu\text{m}$  である．コイルの回路幅とスペースはそれぞれ 75  $\mu\text{m}$  とした．図 9 は図 8 をモデルとして計算したインダクタンスの周波数依存性の例である．3 GHz 付近に共振によるインダクタンスの急峻な変化が存在する．インダクタは共振周波数より高周波数側では著しく特性が劣化することから，試作するインダクタは使用する周波数が共振点以下である必要がある．今回の試作では，GHz 帯以上に共振点がある構造をシミュレーションを元に設計した．試作したインダクタの 2.45 GHz におけるインダクタンスと設計値を表 1 にまとめた．実測値は設計値より 20 % 程度小さくなる傾向があるため，キャリブレーションが必要であるが，シミュレーションによるインダクタの設計が可能であることを示すことができた．

#### 4. レジスタの設計・試作

配線板内蔵レジスタは，図 10 (a) および (b) に示す

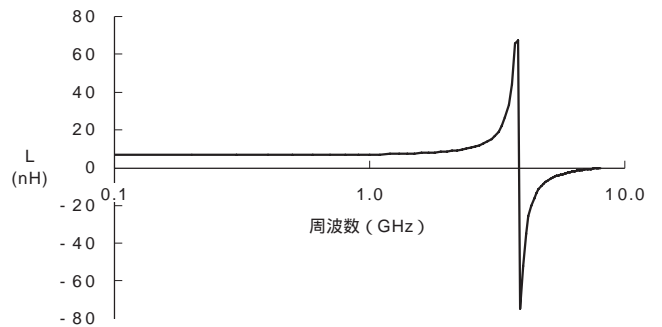


図 9 インダクタンスの周波数依存性計算結果  
Fig. 9. Simulated inductance as a function of operating frequency.

表 1 試作したインダクタの実測値と設計値の比較  
Table 1. Comparison between measured inductance and designed inductance of the embedded inductor.

設計値 (nH)	5.2	6.3	8.5
実測値 (nH)	4.3	5.1	7.3

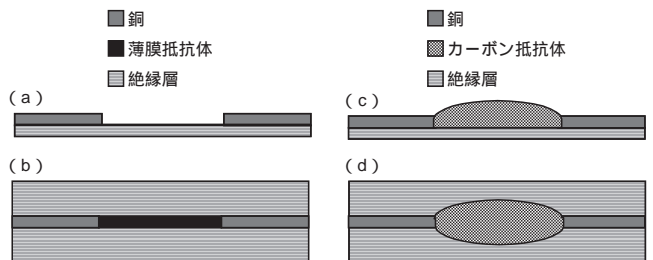


図 10 配線板内蔵抵抗体  
(a) 薄膜抵抗体の断面図，(b) 薄膜抵抗体の上面図，  
(c) カーボン抵抗体の断面図，(d) カーボン抵抗体の上面図  
Fig. 10. Schematic illustration of embedded resistors :  
(a) cross-sectional view of thin-film type,  
(b) top view of thin-film type,  
(c) cross-sectional view of carbon resistor,  
and (d) top view of carbon resistor.

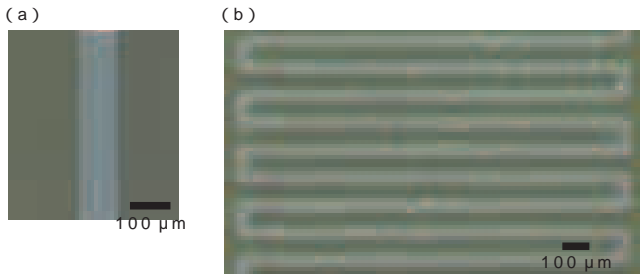


図11 レジスタの上面写真  
 (a) 直線型, (b) ミアンダライン型  
 Fig. 11. Photographs of resistors,  
 (a) straight line and (b) meander.

ように銅回路の間に薄膜抵抗体を形成する方法と、図10(c)および(d)に示すように銅回路の間にカーボン抵抗体を形成する方法がある。本稿では薄膜抵抗体について検討した。材料に、図10に示すように樹脂フィルムと銅の間に薄膜抵抗体が形成された基材を用いて、まず、銅と薄膜抵抗体を同時にエッチングして、レジスタを含めたパターンを形成した後、レジスタとなる部分の銅のみを選択的に除去する方法を検討した。抵抗値Rは、

$$R = \mu l / (D \cdot h) \quad \dots\dots\dots (2)$$

- l : 回路長さ
- μ : 抵抗率
- D : 回路幅
- h : 回路高さ

から求めることができる。

使用した基材の薄膜抵抗の厚さは40nmであり、μは材料に固有であることから、Rのl/Dに対する依存性を調査した。図11に作製した抵抗体の写真を示す。(a)に示した抵抗体は、銅回路間を直線的に結ぶ構造であり、(b)は銅回路間をミアンダライン状に形成した抵抗体によって結ぶ構造である。ミアンダライン状の抵抗体は単位面積当たりに長い回路を形成することが可能であることから、高抵抗値を実現することが可能である。図12にl/Dと抵抗値の関係を示す。図12中の高抵抗領域の点線で囲んだ部分は図11で示したミアンダラインの抵抗体であり、それ以外は直線の抵抗体である。抵抗値のl/Dに対する

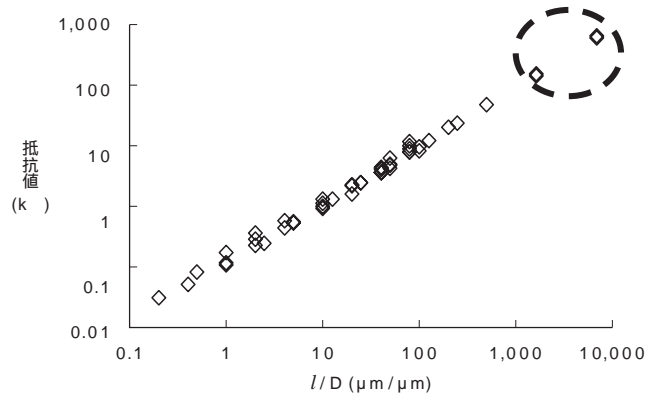


図12 試作した抵抗体の抵抗値の形状依存性  
 Fig. 12. The measured resistance as a function of feature size of resistor (l/D)

依存性は、抵抗体の形状によらず、l/Dの増加によって制御可能であり、本検討の材料と方法を用いて、回路と同一面内に抵抗体を形成できることを確認した。

### 5.むすび

受動部品であるキャパシタ、インダクタ、レジスタを内蔵したFPCを作製した。キャパシタとレジスタは、形成する部品の面内寸法を変化させることにより、特性値を制御できることを示した。インダクタは、シミュレーションにより予め使用周波数での特性値を計算し、設計通りの特性を得ることができた。キャパシタ内蔵4層配線板は厚さが220μmであり、ある程度曲げることも可能である。このような特徴を生かし、受動部品内蔵FPCは、次世代の高密度実装に貢献できるものと期待される。

### 参考文献

- 1) 福岡義孝：エレクトロニクス実装技術 19, pp.42-49, 2003
- 2) 桑子富士夫：表面技術 50, pp.2-5, 2004
- 3) M. Cases, et. al. : Advancing Microelectronics, p.6, July / August 2005
- 4) Richard K. Ulrich, Leonard W. Schaper, INTER-SCIENCE Integrated Passive Component Technology, p.193, 2003