

薄型パッケージ用ポリイミド一括積層基板

電子電装開発センター 藤 浪 秀 之¹・伊 藤 彰 二²・朽 網 寛³
電子デバイス研究所 小 澤 直 行⁴・岡 本 誠 裕⁴・中 尾 知⁵

Multilayer Substrate for Low-profile IC Package Using One Batch Lamination Process

H . Fujinami , S . Itoh , H . Kutami , N . Ozawa , M . Okamoto & O . Nakao

小型携帯電子機器に搭載される次世代半導体パッケージ用の多層基板を開発した。本開発の基板は、薄型化に有利なポリイミド基材と一括積層によるインターstitialビアホール (IVH) の採用により、低背型多ピンICのパッケージに最適な特徴を有している。試作した4層基板は、80 μmの配線ピッチと300 μmピッチのパッドオンビア構造を含み、基板厚さが0.2 mmとなっている。この基板を用いて狭ピッチ実装への対応の検討と信頼性の評価をおこない、パッケージ基板に要求される特性を満足することを確認した。

We present the newly developed multilayer substrate for advanced IC package employed in compact mobile electronics. This substrate is suitable for low-profile package having multi I/O pins, due to the application of polyimide film as basis material and application of Interstitial Via Hole (IVH) for interlayer connection. Fine circuit of 80 μm pitch and filled via of 300 μm pitch are realized in four-layer test board, with a thickness of 0.2 mm. As a result of the study about surface flatness of board for IC mounting and of the reliability test for solder joint, excellent performance of the developed substrate for an IC package is confirmed.

1. ま え が き

デジタルカメラや携帯電話などの携帯型電子機器の小型・薄型化、高機能化に伴い、高密度で薄い半導体パッケージの開発が近年盛んに行われている¹⁾。中でも、複数の半導体チップを一つのパッケージに内包するシステム・イン・パッケージ (SiP)、あるいはパッケージにパッケージを積み重ねるパッケージ・オン・パッケージ (PoP) は、高密度パッケージとして採用が進んでいる。

これまでに当社で開発してきた導電性ペーストをビアに用い、ポリイミド基材を一括で積層する多層板；All Polyimide IVH Colaminated (APIC)²⁾³⁾ は、SiP、PoPのように薄型化と回路の精細化を要求されるパッケージ基板としての応用が期待されている。本報では、ポリイミド多層板のパッケージ基板用途での適合性を検討した結果について報告する。

2. ポリイミド多層パッケージ基板の構造

従来のパッケージ基板は、スルーホール (TH) を有するガラスエポキシを基材に用いたコア層の表裏にビルドアップ層を設けた図1 (a) に示すような構造である。コア層には厚い基材が用いられ、さらにビルドアップ層にめっきを施してビアを形成するため、基板全体が厚くなるのと同時に、銅箔厚の増加が回路のファイン化に制約をおよぼしている。

APICは、一般的な銅張積層板 (CCL) に回路形成を行った後、ビアホールを開口して導電性ペーストを充填した基材を一括で積層し多層化する技術であり、図1 (b) に

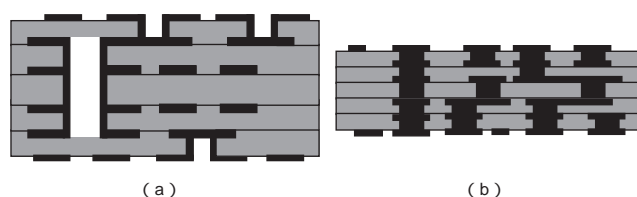


図1 (a) ビルドアップ基板と (b) APIC技術を用いたポリイミド多層板の構造
Fig. 1. Structure of (a) build-up substrate and (b) polyimide multilayer substrate using APIC technology.

1 回路技術開発部
2 プロセス技術開発部
3 回路技術開発部グループ長
4 マイクロデバイス開発部
5 マイクロデバイス開発部長

示すような全層IVH構造のポリイミド多層板を製造することができる。

今回、ポリイミド多層パッケージ基板としては、THを有する両面FPCの表裏に導電性ペーストビアで接続した4層基板について検討した。ここでこの基板は、基材にポリイミドを用いることで総厚約200 μmと薄型化を可能にしている。また、表層は導電性ペーストで充填されたフィルドビアを有してパッドオンビア構造が可能であり、さらに、めっきレスであるため表層の配線は微細化が容易で高密度実装が可能となる。

3. 基板作製工程

本基板の工程概略を図2に示す。片面銅張積層板(CCL)を出発材料に用い、銅箔をエッチングし回路を形成した。ついで、ポリイミド面に層間接着材をラミネートした。さらに、レーザ加工によりビアホールを開口した後、ビアホールに導電性ペーストをスクリーン印刷によって充填した。このようにして作製した基材を、あらかじめ両面CCLから作製したTH両面板の表裏に位置合わせした後、一括で熱圧着して貼り合わせた。このとき、導電性ペーストと銅箔との間に合金を形成することによって、信頼性の高い層間接続が達成される。最後に、ソルダーレジスト形成、金めっき

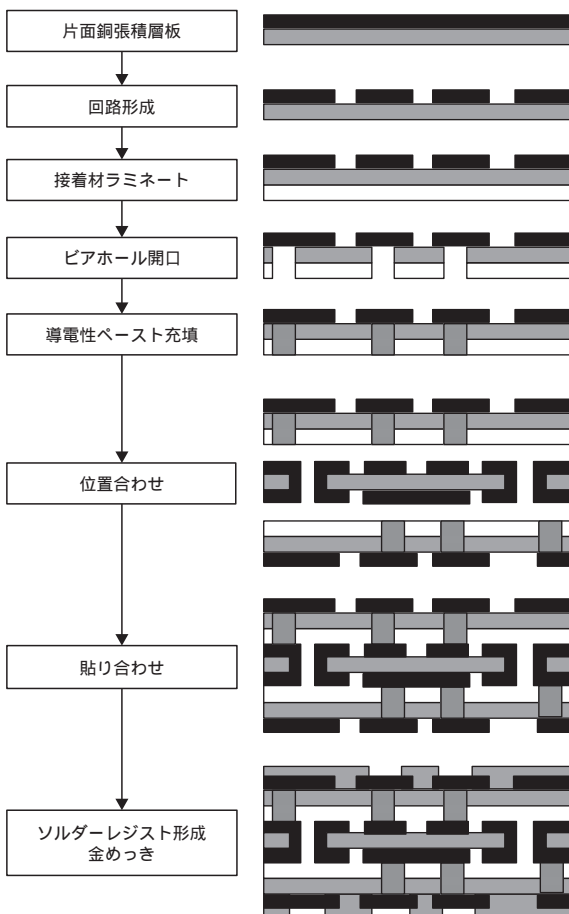


図2 製造プロセス
Fig. 2. Production process.

ストを形成し、パッド表面にNi/Auめっきを施した。表1には主な仕様を、図3には基板の断面写真を示した。

4. 信頼性評価

作製したポリイミド多層板がパッケージ基板として適合できるか検討するため、当社で製造したウェハレベルパッケージ(WLP)を実装して信頼性評価を行うこととした。用いたWLPの仕様を表2に、ポリイミド多層板にWLPを実装したときの断面写真を図4に示す。評価パターンにはポリイミド多層板の配線、WLPの配線およびはんだバンプで構成されるデージーチェーンを用いた。信頼性評価として、高温放置試験、温度サイクル試験および

表1 評価用パッケージ基板の仕様
Table 1. Specification of the test substrate.

基板サイズ	20 mm x 20 mm
層数	4
厚さ	213 μm
最小ライン/スペース	40 μm/40 μm
パッド径/パッドピッチ	300 μm/500 μm
ビア径	100 μm

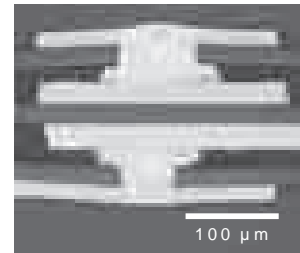


図3 ポリイミド多層パッケージ基板の断面写真
Fig. 3. Cross-sectional view of the polyimide multilayer substrate.

表2 評価用WLPの仕様
Table 2. Specification of the WLP test chip.

サイズ	4.1 mm x 4.1 mm
シリコン厚	265 μm
バンプ数	49 (7 x 7)
バンプ高さ	約230 μm
パッド径/バンプピッチ	290 μm/500 μm
組成	Sn-3.0Ag-0.5Cu

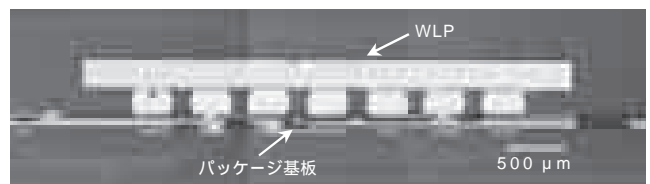


図4 WLP実装基板の断面写真
Fig. 4. Cross-sectional view of the mounted package.

高温高湿バイアス試験を実施した結果を表3に示す。図5には温度サイクル試験でのワイブルプロットを、図6には試験終了後のはんだ接合部の断面写真を示した。すべてのサンプルにおいて、クラックははんだパンプ内で発生しており、基板配線での断線は認められず、基板に問題はなかった。いずれの試験においても良好な特性を示し、パッケージ基板として十分な信頼性があることを確認した。

5. 材料特性と接合信頼性

ポリイミド多層板を構成する材料特性とはんだパンプ接合信頼性について詳細に検討を進めることとした。ここではシリコン厚625 μmと厚いWLPを用いることで、試験を加速して実施した。

はじめに種々の層間接着材を用いた基板を作製し、接

表3 パッケージ信頼性評価結果
Table 3. Results of package reliability test.

高温放置試験	150 , 1,000 h	合格
温度サイクル試験	- 40 /125 , 900サイクル	合格
高温高湿バイアス試験	85 , 85 %R.H., 3.3 V, 1,000 h	合格

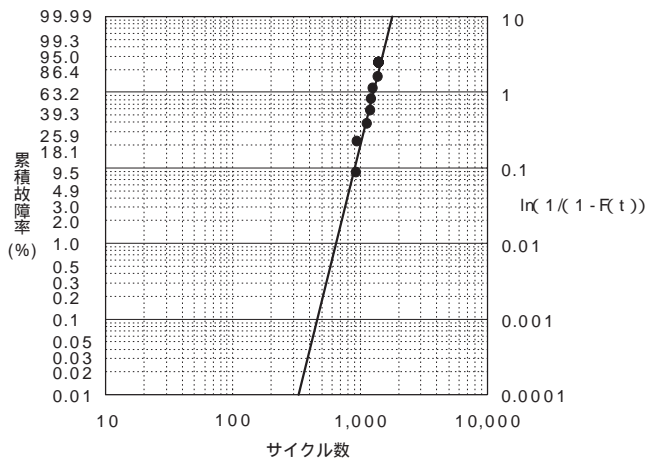


図5 ワイブルプロット
Fig. 5. Weibull plot.

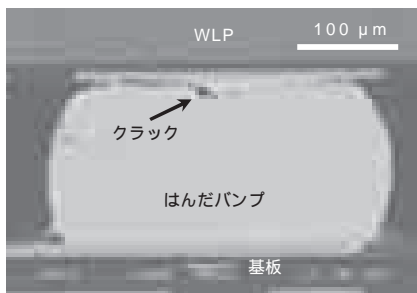


図6 試験後のはんだパンプの断面SEM像
Fig. 6. Cross-sectional view of the solder joint.

合信頼性を評価した結果について述べる。用いた層間接着材の物性を表4に、温度と弾性率の関係を図7に示す。また、各層間接着材を用いたときの故障サイクル数を図8に示す。この結果から、T_gが低く、弾性率が低いほど、はんだ接合寿命が長くなる傾向があることが分かった。弾性率が低いほど、温度変化によってはんだパンプにかかる応力が低減され寿命が長くなったと考えられる。

次に、種々のソルダーレジストを用いて調査した結果、層間接着材の場合と同様に、低T_gで低弾性率なもののほど寿命が長くなることがわかった。

さらに、絶縁基材にポリイミドとLCPを用いた場合に

表4 層間接着材の物性値
Table 4. Material properties of bonding sheet.

層間接着材	A	B	C	D
T _g ()	19	106	142	144
線膨張係数 α_1 / α_2 (ppm/)	96/193	102/295	111/275	120/201
弾性率 (MPa)	270	2,500	2,500	2,100

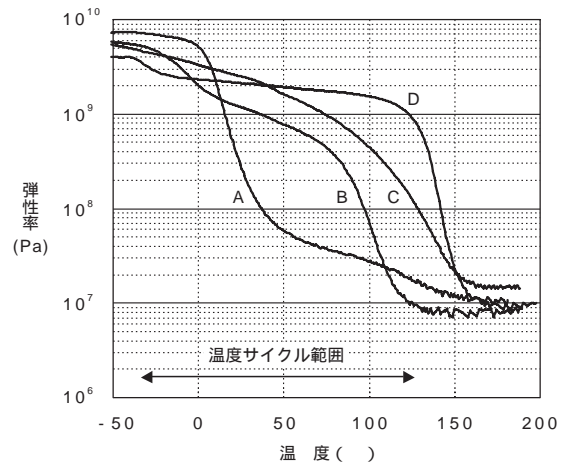


図7 各層間接着材の弾性率
Fig. 7. Elastic modulus for variety of bonding sheet.

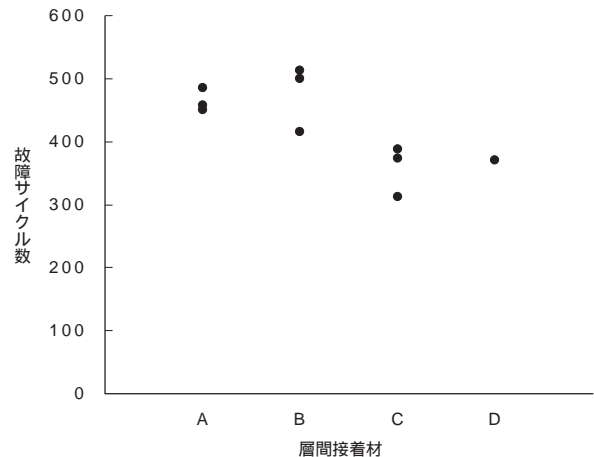


図8 各層間接着材の故障サイクル数
Fig. 8. Cycles to failure for variety of bonding sheet.

表5 ベース基材の物性値
Table 5. Material properties of basis material.

ベース基材	ポリイミド	LCP
Tg ()	> 300	> 250
線膨張係数 (ppm/)	21	16
弾性率 (MPa)	9,300	5,400

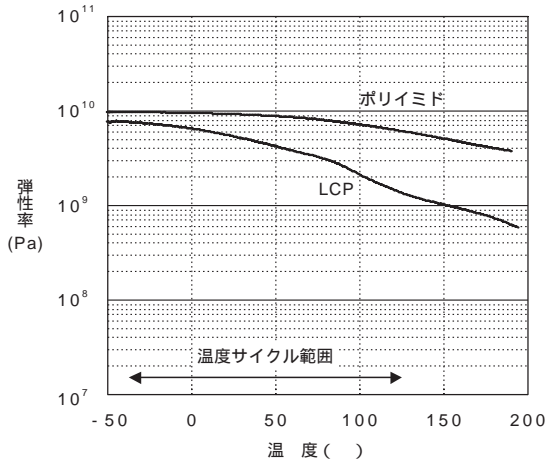


図9 各ベース基材の弾性率
Fig. 9. Elastic modulus for variety of basis material.

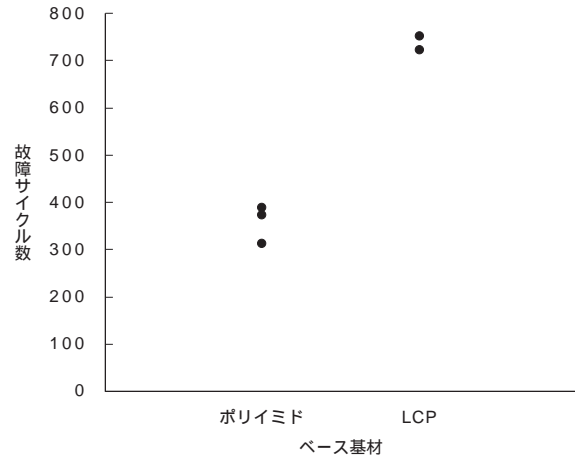


図10 各ベース基材の故障サイクル数
Fig. 10. Cycles to failure for variety of basis material.

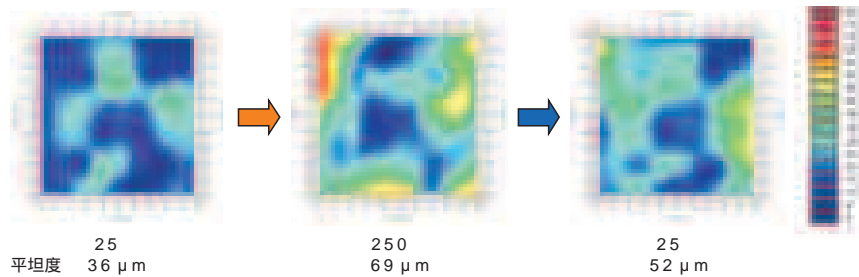


図11 評価基板 (20 mm x 20 mm) の平坦性
Fig. 11. Coplanarity of substrate (20 x 20 mm)

ついては接合信頼性を評価した。材料物性値を表5に、温度と弾性率の関係を図9に、はんだ接合寿命を図10に示す。LCPを用いた場合、ポリイミドに比べ寿命が大幅に延びることがわかった。LCPはポリイミドに比べ弾性率が低いことに加え、線膨張係数が低いことで寿命が長くなったと考えられる。このように、はんだ接合信頼性は基板構成材料の熱機械特性に依存することを明らかにできた。

6. 基板の反り

近年の高密度実装においては、搭載されるICや受動部品の小型化が進み、パッケージ基板の平坦性確保が極めて重要となる。基板を薄型化すると反りが発生し易く、反りを低減するためには、層構成、配線デザイン、また、材料の線膨張係数、弾性率を制御する工夫が必要となる。

図11には個片化した20 mm角の基板の反りをシャド

ウモアレ式の平坦度測定装置を用いて測定した結果を示した。20 mm角の範囲において室温で測定した平坦度は36 μmであった。JEITAのロードマップによればパッケージ基板に要求される平坦度は0.2 %以内であり、要求範囲に入っていることがわかる。上記要求は、周辺端子配置のICパッドピッチ80 ~ 100 μmを想定しており、将来のICの狭ピッチ化に備え、さらなる平坦度の改善が今後の課題である。さらに250 に加熱した場合の平坦度は69 μmと、リフロー中においても極端な変形を生じないことが示唆されたことから、本基板は狭ピッチICの実装に好適であることを確認できた。

7. む す び

ポリイミド多層板について、半導体パッケージ基板としての適合性を検討した結果、良好な特性を示すことを

確認した。特にIC実装後の接続信頼性に関して、層間接着材、ソルダーレジスト、ベース基材に種々の材料を用いた4層基板を作製し、WLPチップを搭載して接合信頼性の評価をおこなった結果、IC-基板間のはんだ接合信頼性は、基板構成材料の熱機械特性に依存することを明らかにできた。また、基板の平坦性についても高密度実装に十分適合できることを確認できた。ポリイミド多層板は、次世代の半導体パッケージ基板として、今後の高性能電子機器の進化に大いに貢献できるものと期待される。

参考文献

- 1) Semiconductor Industry Association, "Assembly and Packaging", International Technology Roadmap for Semiconductors 2005 Edition
- 2) 伊藤ほか：オールポリイミドICパッケージ基板，フジクラ技報，第107号，pp.37-41，2004
- 3) Shoichi Takenaka, et al.: Polyimide Multilayer Substrate for High-Density Semiconductor Package, IPACK2005-73065