

IC 内蔵基板

電子デバイス研究所 岡本 誠裕¹・奥出 聡²・鈴木 孝直²・中尾 知³
電子電装開発センター 伊藤 彰二⁴

Embedded IC Substrate

M. Okamoto, S. Okude, T. Suzuki, O. Nakao & S. Ito

次世代の小型半導体パッケージとして、ICを内蔵したポリイミド多層基板を開発した。本基板は、ポリイミドフィルムをベースとする回路層を積層することによって作製した。フィルムの圧着と同時にICを埋め込むプロセスを開発し、各層間の接続、およびICとの接続には導電性ペーストを採用した。ICにはウエハレベルで銅の再配線層を形成することにより、ペーストとの接続を可能にしている。また、85 μmまでICを薄型化して埋め込んでいる。本基板は、JEDEC Level2のリフロテストとHAST試験に耐えることを確認した。

We have developed the IC chip embedded polyimide multilayer substrate as a small semiconductor package of the next generation. This substrate was made by stacking the circuit layers based on the polyimide film. We have developed the process that embeds chips and laminates films at the same time, utilizing the conductive paste for the connection between layers and the connection to the chip. The chip has the copper rewiring layer using wafer level process to make this connection possible by the paste. At the same time, the chip is thinned down to 85 μm and embedded in the substrate. We have confirmed this substrate endured the reflow test of JEDEC Level2 and HAST.

1. ま え が き

近年、携帯電話やデジタルスチルカメラなどに代表される携帯電子機器において、製品の小型化、高機能化が急速に進んでいる。それにともない、それらの電子機器に搭載される部品にも、小型化、高機能化、そして大容量化等が要求されている。半導体パッケージにおいても、上記の流れから、1つのパッケージにICを複数個内包してシステム化するシステムインパッケージ（System in Package、以下SiPと記す）技術が注目を浴びている。従来のSiPは、複数のICを基板上に平面的に実装するものが多く、パッケージの小型化には不利であったが、近年になり、インターポーザ基板上にICを多段積層し、ワイヤボンドで接続するパッケージ形態が台頭してきた¹⁾。このように、ICを三次元的に実装する技術は、基板の省スペース化に非常に有利であり、実装面積や配線の高密度化が進むSiPにおいて主流になりつつある。

しかしながら、上記の三次元積層パッケージにおいて

は、新たな問題も指摘されている。一つは、ICの積層数が増加すると、各ICを接続するワイヤボンドのループ長が増加し、高周波での信号伝達に影響が出るというものである。また、ワイヤボンディング接続するための端子が、基板上に多数必要となってくるため、パッケージの小型化を妨げているという問題もある。

他方では、パッケージの薄型化という目標から、Siウエハ薄型加工技術が発達してきた。最近では、ICを100 μm厚程度まで薄肉化することが可能となったことを受け、基板の内部にICを埋め込む部品内蔵基板技術が注目されはじめている。この部品内蔵基板は、基板内部にICや受動素子を埋め込むことにより、基板表面の実装面積を減らすことができる。ウエハレベルパッケージ（Wafer Level Package、以下WLPと記す）メーカー各社がこの技術を応用したパッケージを開発しており、ICのほかに、抵抗やコンデンサなどの表面実装（Surface Mount Technology、以下SMTと記す）部品や、ヘアチップを内蔵したSiPの開発も報告されている。

当社では、すでにファウンダリサービスとして量産を行っているWLP技術²⁾と、導電性ペーストを層間接続に用いた一括積層ポリイミド多層板技術³⁾⁴⁾を組みあわせ、ICを内蔵した多層基板を開発した。

1 マイクロデバイス開発部
2 マイクロデバイス開発部グループ長
3 マイクロデバイス開発部長
4 回路技術開発部

2. IC内蔵基板の構造と特徴

2.1 構造と特徴

当社の開発したIC内蔵基板の断面構造を図1に示す。多層基板の層間接着層の中にWLPチップが埋め込まれており、WLPチップの周囲にはポリイミド（Polyimide、以下PIと記す）フィルムのスペーサが配置された構造となっている。WLPチップの再配線層と基板は、導電性ペーストを充填したインタスティシャルパイアホール（Interstitial Via Hole、以下IVHと記す）によって接続されている。

WLPチップは0.1mmまで薄肉化されて埋め込まれており、また、基板の絶縁層およびベースフィルムには薄いPIフィルムを採用しているため、基板全体がSMTチップ部品と同等以下に薄くなっていることが特徴である。

2.2 作製プロセス

本基板の作製プロセスは、ウエハレベルとプリント基板レベルの2段階の配線形成過程からなる。それぞれのプロセスは独立しているため、別々に進めることが可能である。

まず、図2に沿ってウエハレベルの配線加工を説明する。

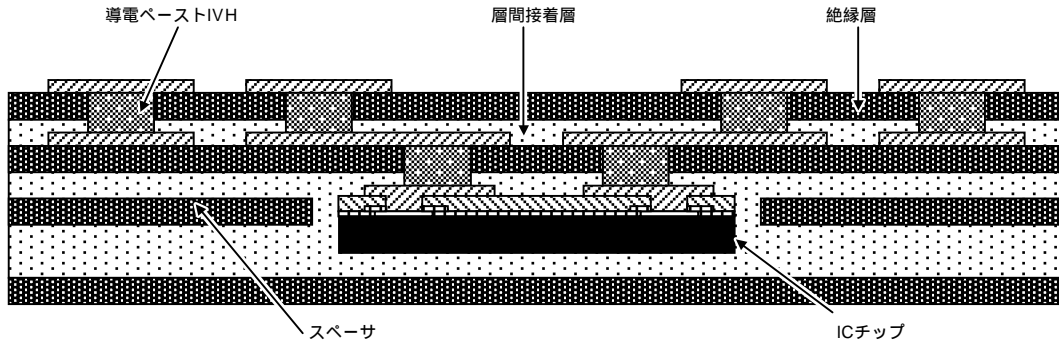


図1 IC内蔵基板の断面構造
Fig. 1. Structure of Embedded IC Substrate.

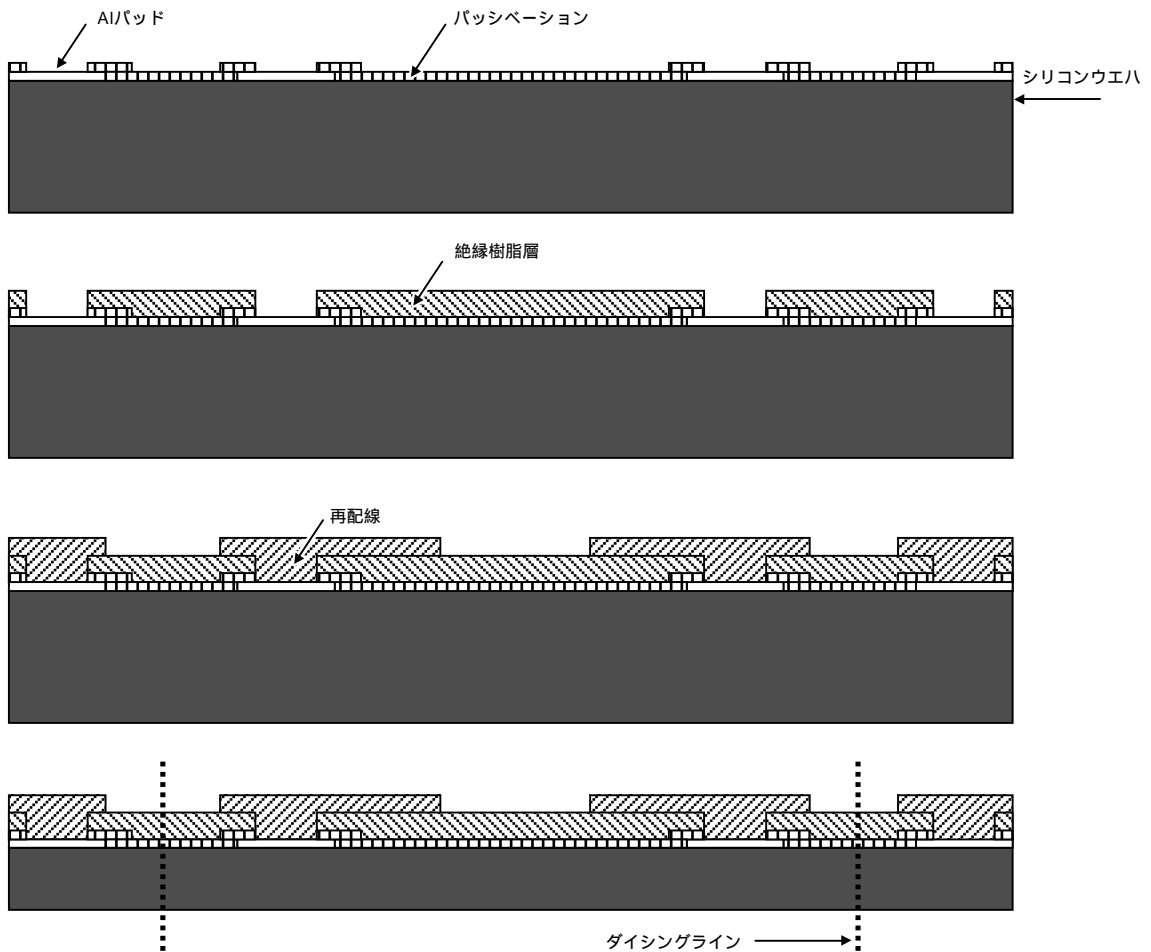


図2 WLP製造プロセスフロー
Fig. 2. WLP process flow.

内蔵させる IC 表面に絶縁樹脂層を形成する。この層は IC の入出力端子に接続する配線の土台となる絶縁層で、IC 表面の回路を保護すると同時に、周囲からの応力を緩和する役割を果たす。材料として感光性樹脂を用い、IC と接続するための開口部を設けてある。絶縁樹脂層上にセミアディティブ法を用いて、銅配線を形成する。この配線は、IC との接続を多層プリント基板の工程にフィッティングさせるための端子の再配列を目的としている。ペア IC 上で 100 μm 以下のパッドピッチを樹脂絶縁層上では 300 μm

以上のランドピッチに拡大している。シリコン基板を機械的に研磨して薄肉化したのち、個片化する。本検討では 100 μm 以下まで薄肉化して、基板厚の低減を試みた。

図3に基板のプロセスを示す。PI フィルムに銅箔が接着された銅貼り積層板を出発材料とし、銅箔をエッチングして回路を形成する。B ステージ状態の熱硬化性接着シートをラミネートしたのち、レーザを用いてブラインドビアホールを開口する。スクリーン印刷法を用いて導電性ペーストをビアホールに充填することにより、IVH を形成す

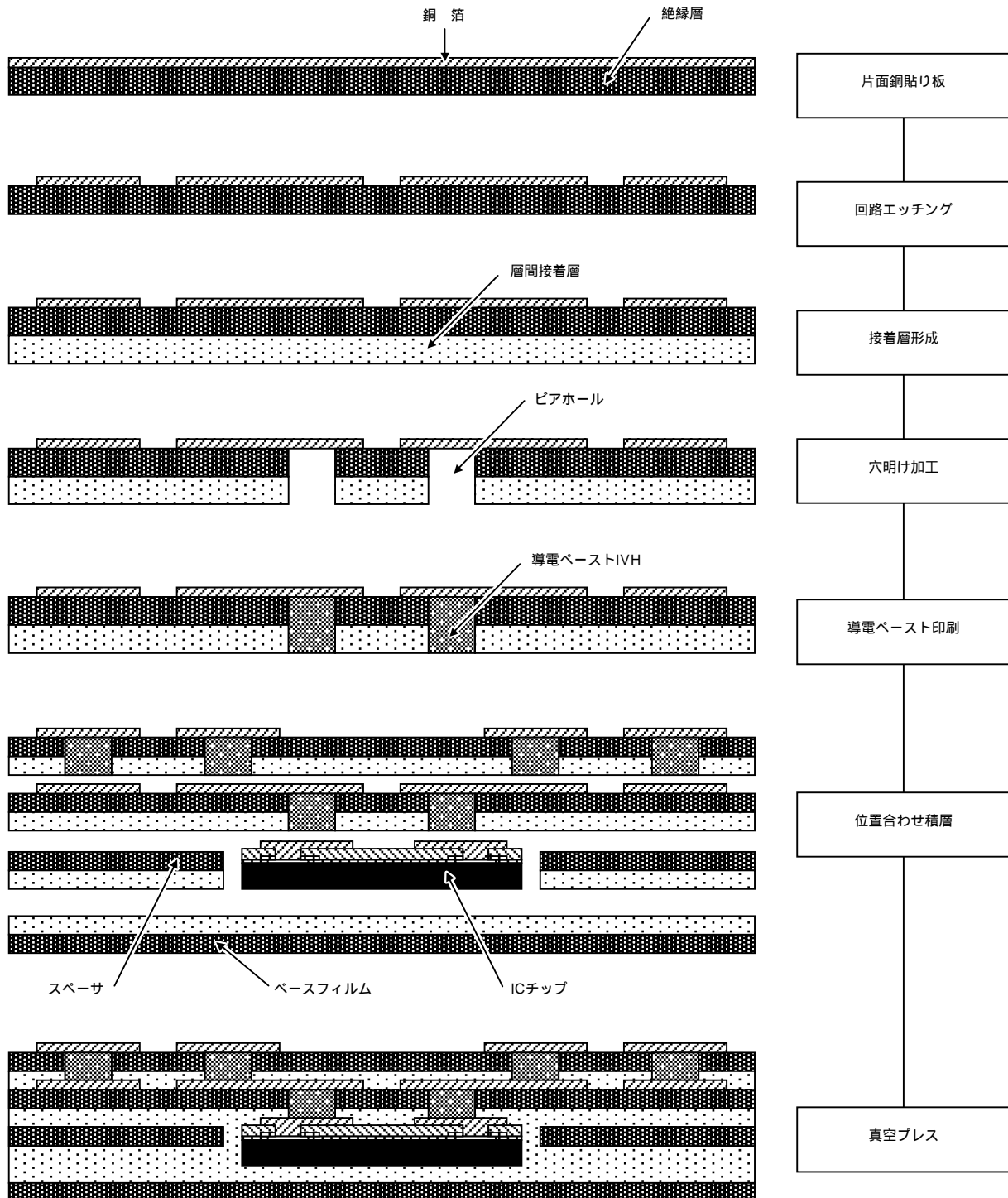


図3 IC内蔵基板製造プロセスフロー
Fig. 3. Embedded IC Substrate process flow.

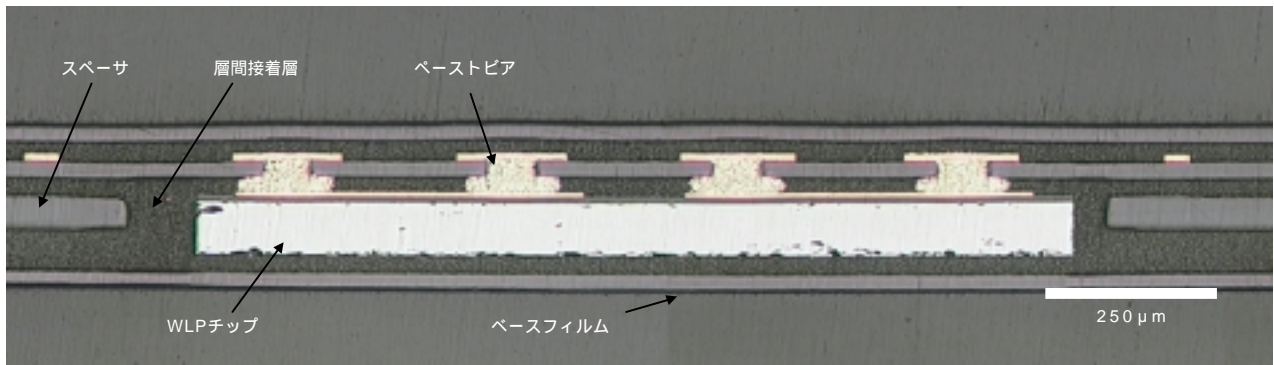


図4 IC内蔵基板断面写真
Fig. 4. Cross-section of Embedded IC Substrate.

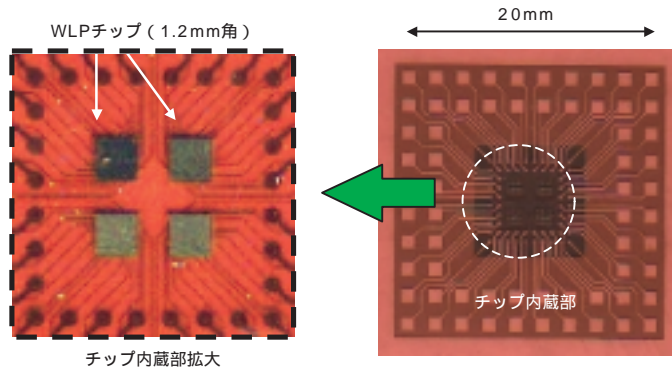


図5 IC内蔵基板外観写真(4チップ内蔵)
Fig. 5. Appearance of Embedded IC Substrate.

る．ICを基板に内蔵する際に，基板の平滑性を保つためのスペースを作製する．スペースはPIフィルムと接着層からなり，ICと同じ厚さにする．

配線・IVHを形成した基板，IC，スペース，ベースフィルムを重ねあわせ，一括で熱圧着する．このプロセスでは，基板同士または基板とICが熱硬化性接着剤により接合・埋設されると同時に，基板配線間および基板に設けた端子とICの端子間が導電性ペーストにより電気的に接続される．

図4に埋め込まれたICと基板との接続部の断面写真を示す．導電性ペーストには，基板の熱圧着時に金属成分が拡散して合金を生成するタイプの材料を用いており⁵⁾，信頼性の高い接続が得られている．

3. 評価

IC上に2層の配線層を有するIC内蔵基板を試作した．図5に外観写真を示す．内蔵したICのサイズは1.2mm角，厚さは樹脂配線層をあわせて85 μmである．ウエハレベルの配線および基板の配線に関する設計ルールを表1に示す．基板の総厚は0.25mmで0603サイズ(厚さ0.3mm)のSMTチップを下回る薄さを実現できた．

デジチェーン回路を有する評価用基板(図6)を作製し，信頼性評価を行った．表2に示す条件を用いた吸湿リフロ試験およびHAST試験において，外観上の変化および断線不良の発生がないことを確認した．また，多層基板

表1 配線設計ルール
Table 1. Design rule.

ウエハレベル配線 最小ライン/スペース	10 μm / 10 μm
プリント基板配線 最小ライン/スペース	50 μm / 50 μm
プリント基板配線 ランド径/ビア径	250 μm / 100 μm

表2 信頼性試験結果
Table 2. Results of reliability test.

評価項目	条件/規格	結果
吸湿リフロ試験	85 60%RH 168h 吸湿後 熱風リフロ(max260)3times JEDEC Level2	合格
熱衝撃試験 (気相)	(前処理条件 吸湿リフロ JEDEC Level2) -25 9min 125 9min 1,000cycles	合格
HAST	(前処理条件 吸湿リフロ JEDEC Level2) 130 85%RH 192h	合格

合格基準：外観上の気泡や膨れなきこと 抵抗値変化率 < 20%

表3 信頼性試験結果(多層基板単体)
Table 3. Results of reliability test only on multilayer substrate.

評価項目	条件/規格	結果
熱衝撃試験 (気相)	-65 30min 125 30min 1,000cycles	合格
熱衝撃試験 (液相)	20 20s 260 10s 200cycles	合格
高温高湿 バイアス	85 85%RH 50V 1,000h	合格

合格基準：外観上の気泡や膨れなきこと
抵抗値変化率 < 20% 絶縁抵抗値 > 500M

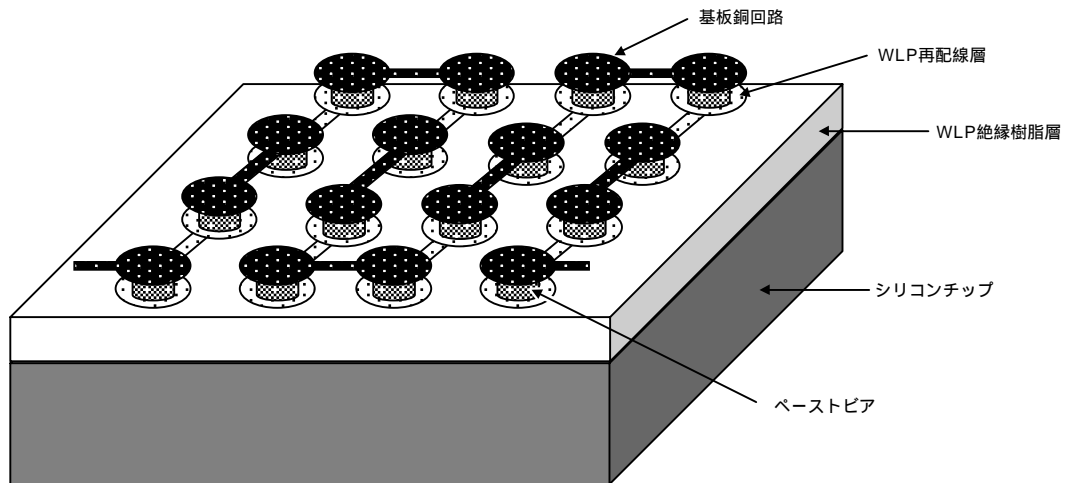


図6 評価用デージーチェーン回路の模式図
Fig. 6. Schematic illustration of daisy-chain test element.

単体で行った試験結果を表3にまとめて示す。導通抵抗、絶縁性に関してパッケージ基板に要求される特性を満足している。今後は、アプリケーションの仕様に基づいた試験・評価を行っていく予定である。

4. む す び

WLP技術と一括積層ポリイミド多層板技術を組み合わせた、IC内蔵ポリイミド多層基板を開発した。これらの技術を用いることにより、本基板は極めて薄い外形と簡略なプロセスで製造できる特徴をもっている。部品間を最短配線でき高速化に最適なIC内蔵基板に、上述の特徴を加えた本基板は、次世代のパッケージ基板として様々な分野で応用が進んでいくものと期待される。

参 考 文 献

- 1) 赤沢ほか：SiP技術のすべて，工業調査会，2005
- 2) 定方ほか：ウエハレベルCSP，フジクラ技報，第99号，pp.77-80，2000
- 3) 中尾ほか：一括積層ポリイミドIVH多層配線板，フジクラ技報，第103号，pp.48-52，2002
- 4) 伊藤ほか：オールポリイミドICパッケージ基板，フジクラ技報，第107号，pp.37-41，2004
- 5) 岡本ほか：焼結型導電ペーストを用いたポリイミド一括積層多層配線板，第19回エレクトロニクス実装学術講演大会講演論文集，pp.125-126，2005